

05- 4-26; 5:30PM;井上・布施合同精工事務所

OLIFF

15397-0893

19 / 60

05- 4-25;18:29 :SEIKO EPSON CORP. IPD IPPS SUWA井上・布施合同精工事務所

:0268528529

3 / 3

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07-230073

(43)Date of publication of application: 29.08.1995

(51)Int.CI

G02F 1/133

G09G 3/36

(21)Application number: 06-333480

(71)Applicant: SEIKO EPSON CORP

(22)Date of filing: 15.12.1994

(72)Inventor: ITO SATORU

(30)Priority

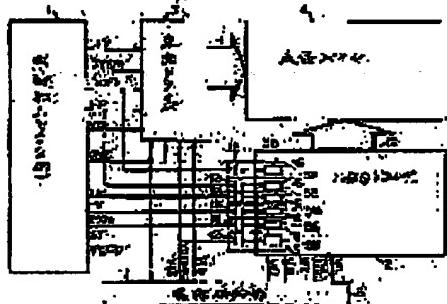
Priority number: 05325170 Priority date: 22.12.1993 Priority country: JP

(54) LIQUID CRYSTAL DISPLAY SYSTEM AND METHOD OF SUPPLYING POWER SOURCE

(57)Abstract:

PURPOSE: To provide a power supply method optimum for the case when ranges of source voltages applied to a scan driver, a signal driver are different from each other.

CONSTITUTION: A power source supply part 5 supplies source voltage group V11, VC1, V12 of the same polarity provided with a narrow source voltage range to the signal driver 2, and supplies the source voltage group V10, VC2, V15 of the same polarity provided with a wide source voltage range to the scan driver 3. Then, central voltages VCT, VC2 are equal. The power source supply part 5 is provided with a means for adjusting the value of the supplied source voltage. A control signal, etc., from a control part 1 is level changed by a potential change part 6. When display off is realized, the outputs of the signal driver 2, the scan driver 3 are made a VC level. By such a manner, the adjustment of a liquid crystal driving voltage is realized by a simple adjustment means while holding a precise voltage ratio.

**LEGAL STATUS**

[Date of request for examination] 31.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3407447

[Date of registration] 14.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

JP07-230073

- 1 -

CLAIMS

[Claim(s)]

[Claim 1] The signal driver which impresses driver voltage to said signal electrode of the matrix panel by which two or more signal electrodes and scan electrodes are arranged by crossing while a display pixel is arranged in the shape of a matrix. It is a liquid crystal display system including a current supply means to supply supply voltage to the scan driver which impresses driver voltage to said scan electrode, and said signal driver and said scan driver. A means by which said current supply means supplies the 1st supply voltage group of the like-pole nature which has the 1st power range to one driver in said signal driver or said scan driver. A means to supply the 2nd supply voltage group of the like-pole nature which has the 2nd power range larger than said 1st power range to the driver of different another side from said one side. The liquid crystal display system characterized by including the means which makes the same the 1st main electrical potential difference which is the main electrical potential difference of said 1st power range, and the 2nd main electrical potential difference which is the main electrical potential difference of said 2nd power range.

[Claim 2] A means to generate the said 1st and 2nd supply voltage group because

said current supply means divides between fixed potential and the reference potentials for liquid crystal driver voltage generation and generates a division electrical potential difference for a division terminal in claim 1. The liquid crystal display system characterized by including the means which makes the same the said 1st and 2nd main electrical potential difference by generating the said 1st and 2nd main electrical potential difference based on the division electrical potential difference generated by said division terminal of 1.

[Claim 3] The liquid crystal display system characterized by including a means to adjust the value of said division electrical potential difference in claim 2 by adjusting the value of the reference potential for said liquid crystal driver voltage generation, and to adjust the electrical-potential-difference value of the said 1st and 2nd supply voltage group.

[Claim 4] The liquid crystal display system characterized by including the means which said current supply means supplies in claim 1 thru/or either of 3 as logic supply voltage of one [by which the electrical potential difference in said 1st power range is supplied to said 1st supply voltage group / said] driver.

[Claim 5] The liquid crystal display system characterized by separating the fixed potential power source by the side of the low voltage of the driver of said another side to which the fixed potential

JP07-230073

- 2 -

power source by the side of the low voltage of one [to which said 1st supply voltage group is supplied / said] driver, or high potential, and said 2nd supply voltage group are supplied in claim 1 thru/or either of 4, or high potential.

[Claim 6] The liquid crystal display system characterized by including a potential conversion means to change into the level in said 1st power range the potential level of the control signal outputted to one [to which said 1st supply voltage group is supplied in claim 4 or either of 5 including a means to output a control signal at least to said signal driver and said scan driver / said 1 driver.

[Claim 7] The liquid crystal display system characterized by said potential conversion means containing the capacity coupling capacitor for cutting a dc component in claim 6.

[Claim 8] The liquid crystal display system characterized by including a means to set said driver voltage outputted from said signal driver and said scan driver as the same electrical potential difference as the said 1st and 2nd main electrical potential difference in claim 1 thru/or either of 7 when a predetermined external input signal is inputted.

[Claim 9] The signal driver which impresses driver voltage to said signal electrode of the matrix panel by which two or more signal electrodes and scan

electrodes are arranged by crossing while a display pixel is arranged in the shape of a matrix, It is the current supply approach used for a liquid crystal display system including a current supply means to supply supply voltage to the scan driver which impresses driver voltage to said scan electrode, and said signal driver and said scan driver. The 1st supply voltage group of the like-pole nature which has the 1st power range is supplied to one driver in said signal driver or said scan driver. The 1st main electrical potential difference which said one side supplies the 2nd supply voltage group of the like-pole nature which has the 2nd power range larger than said 1st power range to the driver of different another side, and is the main electrical potential difference of said 1st power range, The current supply approach characterized by making the same the 2nd main electrical potential difference which is the main electrical potential difference of said 2nd power range.

[Claim 10] The current supply approach characterized by supplying in claim 9 as logic supply voltage of one [by which the electrical potential difference in said 1st power range is supplied to said 1st supply voltage group / said] driver.

[Claim 11] The current supply approach characterized by separating the fixed potential power source by the side of the low voltage of the driver of said another side to which the fixed potential power

JP07-230073

- 3 -

source by the side of the low voltage of one [to which said 1st supply voltage group is supplied / said] driver, or high potential, and said 2nd supply voltage group are supplied in claim 9 or either of 10, or high potential.

[Claim 12] The current supply approach characterized by setting said driver voltage outputted from said signal driver and said scan driver as the same electrical potential difference as the said 1st and 2nd main electrical potential difference in claim 9 thru/or either of 11 when a predetermined external signal is inputted.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the current supply technique in the liquid crystal display system containing a signal driver (signal-electrode drive circuit) and a scan driver (scan electrode drive circuit).

[0002]

[Description of the Prior Art] As one of the conventional liquid crystal drive techniques, the liquid crystal drive technique by the electrical-potential-difference equalizing method is known. In this liquid crystal

drive technique, while making sequential selection of the scan electrode of every one line and impressing a scan electrical potential difference, when each pixel on the selected scan electrode impresses [ON or] the signal level according to it to each signal electrode by whether it is off, a liquid crystal drive is performed.

[0003] The potential relation of the supply voltage at the time of using the electrical-potential-difference equalizing method is shown in drawing 19. V0, V1, V2, V3, V4, and V5 are supply voltage groups for a liquid crystal drive used by the electrical-potential-difference equalizing method, V0, V2, V3, and V5 are supplied to a signal driver, and V0, V1, V4, and V5 are supplied to a scan driver. The relation of the potential of such supply voltage is $V0 >=V1 >=V2 >=V3 >=V4 >=V5$. GND is a gland common to the control section (system side) which controls a signal driver, scan drivers and these signal drivers, and a scan driver. Moreover, VD is the logic supply voltage of 3-5V about, and serves as logic supply voltage also with this VD common to a signal driver, a scan driver, and a control section. For this reason, the control signal outputted from a control section can be directly linked with a signal driver and a scan driver. In drawing 19, V5 and ground potential GND which are the minimum potential among liquid crystal driver voltages are made into this potential, and V0 and

JP07-230073

- 4 -

VDDH which are the highest potential among liquid crystal driver voltages are made into this potential. The power range A1 of the supply voltage groups V0, V2, V3, and V5 given to a signal driver from drawing 19 so that clearly, and the power range A2 of the supply voltage groups V0, V1, V4, and V5 given to a scan driver were equal.

[0004] Moreover, the function called the De Dis play-off or LCD OFF is known for the conventional liquid crystal display system using the electrical-potential-difference equalizing method. This function sets compulsorily to "0" the electrical potential difference impressed to a liquid crystal device. It can avoid impressing an electrical potential difference to liquid crystal at a fixed period behind powering on from whom the output voltage of a driver becomes unfixed by this. Moreover, the electrical potential difference impressed to a liquid crystal device, making the power source of a liquid crystal display system into an ON state is set to "0", and it becomes possible to perform power save at the same time it erases a display. The De Dis play-off function in the conventional driver using the electrical-potential-difference equalizing method outputted to coincidence V5 (= GND) which is the common potential of a scan driver, a signal driver, and a control section (system side) from the signal driver and the scan driver, and was

realized by setting to "0" the electrical potential difference impressed to a liquid crystal device.

[0005]

[Problem(s) to be Solved by the Invention] By the way, two or more line coincidence selection (Multiple Lines Selection) drive technique which carries out the selection drive of the n lines at coincidence is proposed in recent years. Two or more line coincidence selection drive technique is explained by those people in Japanese Patent Application No. 5-515531 and Japanese Patent Application No. 5-152533. According to this technique, from before, though it is a high-speed response, contrast can realize a high liquid crystal display system with little CHIRATSUKI. And after the former chose one line at a time and realizing the same ON/OFF ratio as the electrical-potential-difference equalizing method which is the technique to drive, the driver voltage of a signal driver can be stopped low. Thereby, it becomes possible to adopt the manufacture process of low pressure-proofing, and it becomes possible to raise the degree of integration of a signal driver and to form a chip into small area as a semi-conductor process which manufactures a signal driver. This leads to high-performance-izing of a signal driver, and a cost cut.

[0006] However, by two or more of this line coincidence selection drive technique,

JP07-230073

- 5 -

about a scan driver, high driver voltage equivalent to the former is required, and the range of driver voltage differs by the signal driver and the scan driver. For this reason, it is necessary to also change the range of the supply voltage supplied to a signal driver and a scan driver, and there is a problem that the view of the conventional current supply technique is inapplicable if it remains as it is.

[0007] Moreover, there is a problem of the variation in the property which considers fluctuation of a manufacture process etc. as a cause in the semiconductor device which constitutes the liquid crystal device which constitutes a liquid crystal panel, a driver, etc. For this reason, after assembling a liquid crystal display system at works, the tuning which makes the optimal the value of the driver voltage impressed to a signal electrode and a scan electrode is needed. Moreover, there is a thing in which contrast adjustment of a liquid crystal display is possible in a liquid crystal display system, and this contrast adjustment is realized by adjusting the driver voltage impressed to a signal electrode and a scan electrode. Thus, in a liquid crystal display system, in order to perform optimization of driver voltage, or contrast adjustment, the function to adjust driver voltage is needed. However, as described above, it is necessary to change the range of the supply voltage supplied to a signal driver and a scan driver, and by two or more line

coincidence selection drive technique, there is a problem that the adjustment technique of the driver voltage used by the liquid crystal display system of the conventional electrical-potential-difference equalizing method is inapplicable if it remains as it is.

[0008] Moreover, at both the conventional liquid crystal drivers using the electrical-potential-difference equalizing method, the Dc Dis play-off function was realized by setting the output of signal dry cleaning and a scan driver as supply voltage V5 (= GND) level by the side of low voltage (or high potential side). However, when the driver voltage range of a signal driver and a scan driver differs, since the supply voltage by the side of low voltage is not in agreement, it cannot set the electrical potential difference concerning liquid crystal to "0", but has the problem that the De Dis play-off function is unrealizable.

[0009] The place which it is made in order that this invention may solve a technical problem which was described above, and is made into the purpose is to offer the optimal current supply technique, when the range of the supply voltage given to a scan driver and a signal driver differs.

[0010] Moreover, other purposes of this invention are to offer the current supply technique which can adjust the driver voltage given to a liquid crystal device to arbitration, even when the range of the

JP07-230073

- 6 -

supply voltage given to a scan driver and a signal driver differs.

[0011] Moreover, other purposes of this invention are in the liquid crystal display system by which the range of the supply voltage given to a scan driver and a signal driver differs to realize the De Dis play-off function.

[0012]

[Means for Solving the Problem and its Function] The signal driver to which, as for this invention, a display pixel impresses driver voltage to said signal electrode of the matrix panel by which two or more signal electrodes and scan electrodes are arranged by crossing while being arranged in the shape of a matrix in order to solve the above-mentioned technical problem, It is a liquid crystal display system including a current supply means to supply supply voltage to the scan driver which impresses driver voltage to said scan electrode, and said signal driver and said scan driver. A means by which said current supply means supplies the 1st supply voltage group of the like-pole nature which has the 1st power range to one driver in said signal driver or said scan driver, A means to supply the 2nd supply voltage group of the like-pole nature which has the 2nd power range larger than said 1st power range to the driver of different another side from said one side, It is characterized by including the means which makes the same the 1st main

electrical potential difference which is the main electrical potential difference of said 1st power range, and the 2nd main electrical potential difference which is the main electrical potential difference of said 2nd power range.

[0013] According to this invention, the 1st supply voltage group of like-pole nature with a narrow power range is given to one driver in a signal driver and a scan driver, and the 2nd supply voltage group of like-pole nature with a wide power range is given to the driver of another side. And supply voltage is supplied so that the main electrical potential difference of these power ranges may become equal. According to this invention, since the supply voltage group is like-pole nature, it can adjust each electrical potential difference value of a supply voltage group with the adjustment means of a simple configuration. And when voltage adjustment is performed, it is not concerned with whether supply voltage is in a straight polarity and negative polarity side to a main electrical potential difference, but it becomes possible to keep the voltage ratio of supply voltage exact.

[0014] Moreover, a means to generate the said 1st and 2nd supply voltage group because said current supply means divides between fixed potential and the reference potentials for liquid crystal driver voltage generation and this invention generates a division electrical

JP07-230073

- 7 -

potential difference for a division terminal. It is characterized by including the means which makes the same the said 1st and 2nd main electrical potential difference by generating the said 1st and 2nd main electrical potential difference based on the division electrical potential difference generated by said division terminal of 1.

[0015] According to this invention, the 1st and 2nd supply voltage group is generable using the voltage division means of the simple configuration using resistance, a transistor, etc. Moreover, the 1st and 2nd main electrical potential difference can be made the same with the simple configuration of generating the 1st and 2nd main electrical potential difference based on the division electrical potential difference generated by the division terminal of 1.

[0016] Moreover, this invention is characterized by including a means to adjust the value of said division electrical potential difference by adjusting the value of the reference potential for said liquid crystal driver voltage generation, and to adjust the electrical-potential-difference value of the said 1st and 2nd supply voltage group.

[0017] According to this invention, the electrical-potential-difference value of the 1st and 2nd supply voltage group can be adjusted, maintaining exact electrical-potential-difference split ratio by the simple technique of adjusting the

value of the reference potential for liquid crystal driver voltage generation.

[0018] Moreover, this invention is characterized by including the means which said current supply means supplies as logic supply voltage of one [by which the electrical potential difference in said 1st power range is supplied to said 1st supply voltage group / said] driver.

[0019] According to this invention, the 1st supply voltage group with a narrow power range is supplied for while, and the logic supply voltage of a driver is set up in the 1st power range. In order to operate by this the logical circuit built in one driver, the need of making large supply voltage width of face of one driver of operation is lost, and it becomes possible to narrow width of face of the supply voltage of one driver of operation.

[0020] Moreover, this invention is characterized by separating the fixed potential power source by the side of the low voltage of the fixed potential power source by the side of the low voltage of one [to which said 1st supply voltage group is supplied / said] driver, or high potential, and the driver of said another side to which said 2nd supply voltage group is supplied, or high potential.

[0021] According to this invention, the fixed potential power source of one driver and the fixed potential power source of the driver of another side are separated. The thing for which combine the supply voltage width of face of a driver of

JP07-230073

- 8 -

operation with the supply voltage width of face of the driver of another side of operation, it becomes unnecessary to make it large, and width of face of the supply voltage of one driver of operation is narrowed while a narrow supply voltage group is given by this becomes possible.

[0022] Moreover, this invention is characterized by including a potential conversion means to change into the level in said 1st power range the potential level of the control signal outputted to one [to which said 1st supply voltage group is supplied / said] driver, including a means to output a control signal at least to said signal driver and said scan driver.

[0023] According to this invention, potential level is changed and a control signal etc. is inputted in one driver. It enables while this operates by the narrow power range to transmit a control signal etc. normally to a driver.

[0024] Moreover, this invention is characterized by said potential conversion means containing the capacity-coupling capacitor for cutting a dc component.

[0025] According to this invention, with a capacity-coupling capacitor, only the variation of a control signal can be taken out and conversion of potential level becomes easy.

[0026] Moreover, this invention is characterized by including a means to set

said driver voltage outputted from said signal driver and said scan driver as the same electrical potential difference as the said 1st and 2nd main electrical potential difference, when a predetermined external signal is inputted.

[0027] According to this invention, when external signals, such as the De Dis play-off signal, are inputted, the output voltage of a signal driver and a scan driver turns into the same electrical potential difference, i.e., the same main electrical potential difference. It becomes possible to be able to set to "0" by this the electrical potential difference impressed to a liquid crystal device, for example, to realize the De Dis play-off function in a liquid crystal display etc.

[0028]

[Example] Hereafter, the example of this invention is explained based on a drawing.

[0029] (The 1st example)

1. The explanatory view 1 of a whole configuration is a block diagram showing the whole liquid crystal display system configuration concerning the 1st example. This example contains a control section (system side) 1, the signal driver 2, the scan driver 3, a liquid crystal panel 4, the current supply section 5, and two or more potential transducers 6. A control section 1 outputs a control signal, signal data, and scan data to the signal driver 2 and the scan driver 3 here. The signal driver 2 outputs driver voltage 10 to the signal

JP07-230073

- 9 -

electrode of a liquid crystal panel 4 based on the control signal and signal data from a control section 1. The scan driver 3 outputs driver voltage 11 to the scan electrode of a liquid crystal panel 4 based on the control signal and scan data from a control section 1. A liquid crystal panel 4 has two or more signal electrodes, the scan electrode which intersects this, and the liquid crystal device arranged to a crossover field, and performs a display action by the drive of the signal driver 2 and the scan driver 3. The current supply section 5 generates the supply voltage group supplied to the signal driver 2 and the scan driver 3 based on the electrical potential difference VLCD used as the criteria of the liquid crystal driver voltage generation supplied from a control section 1. The potential transducer 6 changes the potential level of the control signal from a control section 1, signal data, and scan data including the capacity-coupling capacitor (capacitor) 12 and DC level transfer section 58.

[0030] FR signal for performing the DOFF signal for performing the De Display-off of a liquid crystal panel from a control section 1 to the signal driver 2 and the alternating current drive of liquid crystal, LP signal which is a latch pulse, tX signal which is a data transfer clock, the DXm signal which is a 2-bit data signal, and ST signal which is a sampling start signal are outputted. In this case, in this example, ground

potential GND of a control section 1 and the logic potential VD are not supplied to the signal driver 2. That is, the reference potential (GND in a control section 1, VS1 in the signal driver 2) which is in a low voltage side most, and logic potential (VD in a control section 1, VD1 in the signal driver 2) are not communalized by the control section 1 and the signal driver 2.

[0031] To the scan driver 3, a DOFF signal, FR signal, tY signal that is a data transfer clock, and the DYnm signal which is scan data of 2 bit x2 line are outputted from a control section 1. Moreover, in this example, ground potential GND of a control section 1 and the logic potential VD are supplied to the scan driver 3. That is, the reference potential GND which is in a low voltage side most, and the logic potential VD are communalized by the control section 1 and the scan driver 3.

[0032] VLCD used as the criteria of generation of liquid crystal driver voltage is inputted into the current supply section 5. And to the signal driver 2, the supply voltage group of V11, VC1 (= VC), V12, VD1, and VS1 is supplied, and the supply voltage group of V10, VC2 (= VC), and V15 is supplied to the scan driver 3.

[0033] 2. An example of the configuration of the current supply section 5 is shown in the explanatory view 2 of the current supply section, and the relation of the potential of the supply voltage groups VD

JP07-230073

- 10 -

and GND supplied to drawing 3 from the supply voltage groups V11, VC, V12, VD1, VS1, V10, VC, and V15 and control section 1 which are supplied from this current supply section 5 is shown in it. The current supply section 5 contains the variable resistance 70 for supply voltage regulation, the voltage division section 90 which generates two or more electrical potential differences required for two or more line coincidence selection drive technique by the resistance 71, 72, 73, 74, and 75 by which series connection was carried out, and the operational amplifiers 76, 77, 78, 79, and 80 of the voltage follower connection which carries out impedance conversion of the electrical potential difference generated by the division terminal of the voltage division section 90. Here, the P type operational amplifiers 76 and 77 are connected to V10 (=VDDH) and V11, PN change mold operational amplifiers 78 and 79 are connected to VC and VD1, and the N type operational amplifier 80 is connected to V12 (=VS1). With the P type operational amplifiers 76 and 77, as shown in drawing 4 (A), the output 210 of the differential section 206 is inputted into the P type drive transistor 204 in a mechanical component 200 here. On the other hand, in the N type operational amplifier 80, as shown in drawing 4 (B), the output 210 of the differential section 206 is inputted into the N type drive transistor 212 in a mechanical component

201. About the supply voltage (supply voltage with a negative dominant load) from which the polarity of the amount of charges which needs to be moved to an operational amplifier from a liquid crystal device into one frame serves as negative, impedance conversion is performed by the P type operational amplifier. Moreover, about the supply voltage (supply voltage with a forward dominant load) from which the polarity of the amount of charges which needs to be moved to an operational amplifier from a liquid crystal device into one frame serves as forward, impedance conversion is performed by the N type operational amplifier. Moreover, about supply voltage with a dominant load with equivalent positive/negative, impedance conversion is performed by PN change mold operational amplifier. Thus, the power consumption consumed with an operational amplifier can be stopped low, without lowering the quality of a liquid crystal display by changing the class of operational amplifier which performs impedance conversion for every supply voltage.

[0034] Now, there is a problem of the variation in the property which considers fluctuation of a manufacture process etc. as a cause in the semiconductor device which constitutes a liquid crystal device or a signal driver. For this reason, after assembling a liquid crystal display system at works etc., the tuning which

JP07-230073

- 11 -

makes the optimal driver voltage to a liquid crystal device is needed. Moreover, in order to realize contrast adjustment in a liquid crystal display, it is necessary to adjust driver voltage. So, in this example, the value of the supply voltage of V10 and V11 grade is adjusted by adjusting the resistance of variable resistance 70, and this is adjusting the driver voltage to a liquid crystal device. According to the technique of adjusting the resistance of variable resistance 70, driver voltage can be adjusted, keeping exact the division ratio in the voltage division section 90.

[0035] Moreover, for example, variable resistance 70 can also consist of connecting resistance R1-R4, a switch S1-S4, as shown in drawing 5. If it does in this way, the resistance of variable resistance 70 can be adjusted by controlling an adjustment signal by external CPU etc. and turning on and off a switch S1-S4. Thereby, contrast adjustment of a liquid crystal display also becomes possible. Moreover, it is also possible to form the voltage adjustment section 300 of a configuration of to be shown, for example in drawing 6, and to adjust supply voltage by this voltage adjustment section 300 by adjusting the electrical potential difference of VDDH used as the criteria of liquid crystal driver voltage generation. This voltage adjustment section 300 contains an operational amplifier 302, resistance 304 and 306, the source 308 of reference

voltage, a constant current source 310, and the switch section 312. According to this configuration, the pin center, large value of voltage adjustment is decided with resistance R10 and R11 and reference voltage Vref, and the voltage adjustment centering on the above-mentioned pin center, large value becomes possible by slushing constant current to resistance 306 using the switch section 312 and a constant current source 310.

[0036] In addition, resistance 71-75 grades can also constitute a drain field and a gate electrode using the shorting transistor.

[0037] Next, the potential relation of supply voltage is explained using drawing 3. In this example, since the drive technique which chooses two or more lines as coincidence is adopted, the power range B1 needed for a signal driver can be narrowed. For this reason, as shown in drawing 3, the power range B1 of a signal driver is narrower than power range B-2 of a scan driver. Moreover, in this example, current supply is performed so that main electrical-potential-difference VC1= $(V11+V12) / 2$ of the electrical-potential-difference range B1, and main electrical-potential-difference VC2= $(V10+V15) / 2$ of electrical-potential-difference range B-2 may become equal. This is realized by generating main

JP07-230073

- 12 -

electrical-potential-difference

$VC=VC1=VC2$ based on the division electrical potential difference generated by one division terminal 69, as shown in drawing 2. Furthermore, in this example, the logic supply voltage VD and the fixed potential GND by the side of low voltage are common to a control section 1 and the scan driver 3. On the other hand, the fixed potential by the side of $VD1$ and low voltage serves as $VS1$ ($= V12$), and the logic supply voltage of the signal driver 2 does not serve as VD of a control section 1, and GND in common. That is, in this example, the logic supply voltage $VD1$ of a signal driver is set up in a power range $B1$ apart from VD . Specifically, this is realized by generating $VD1$ based on the division electrical potential difference generated by the division terminal 68 of the voltage division section 90 of drawing 2.

[0038] Having considered as the power-source configuration as shown in drawing 3 by this example is based on the following reasons. First, it was referred to as main electrical-potential-difference $VC1=VC2$ for making it easy to design by making into the symmetry the property of the PMOS transistor which outputs $V11$, and the property of the NMOS transistor which outputs $V12$. Moreover, it is for falling with the standup wave of a driver output, making a wave into the symmetry mostly, and lessening the dc component which becomes harmful on a

liquid crystal drive. When referred to as $VC1=VC2$, it can also be made relation as shows the potential of supply voltage to drawing 7. In this case, it is set to $VC1=VC2=GND$ and the polarity of $V11$ and $V12$ differs from the polarity of $V10$ and $V15$. However, if it is the power-source configuration shown in drawing 7, the current supply section of a simple configuration as shown in generating a supply voltage group at drawing 2 (or drawing 5, drawing 6) is not employable. Moreover, although supply voltage has been adjusted by the simple technique of adjusting the resistance of variable resistance 70 in the power-source configuration of drawing 3, keeping a division ratio exact, the power-source configuration of drawing 7 cannot adjust supply voltage by such simple technique. This is because all the supply voltage groups supplied to the signal driver 2 and the scan driver 3 are like-pole nature in drawing 3. That is, if all supply voltage groups are like-pole nature, the supply voltage group $V10$ and $V11$ grade can be obtained only by carrying out voltage division of the reference potential $VLCD$ by the side of high potential, and the fixed potential GND by the side of low voltage, as shown in drawing 2. Moreover, the level of these $V10$ and $V11$ grade can be adjusted only by adjusting variable resistance 70, keeping a division ratio exact. However, in drawing 7, since the supply voltage of

JP07-230073

- 13 -

straight polarity and the supply voltage of negative polarity must be generated independently, the thing of straight polarity and the thing of negative polarity are independently needed as a reference potential equivalent to VLCD of drawing 2. Moreover, voltage adjustment must also prepare separately the variable resistance for straight polarity sides, and the variable resistance by the side of negative polarity, and must perform voltage adjustment independently by the straight polarity and negative polarity side. However, the situation where a property may vary by fluctuation of a manufacture process etc. and the division ratio by the side of straight polarity and the division ratio by the side of negative polarity are not kept the same by this variation produces variable resistance and the resistance for voltage division. This leads to degradation of the display quality of liquid crystal. In this example, since all supply voltage groups serve as like-pole nature, it is hard to produce such a situation.

[0039] Moreover, having not set the logic power-source potential VD1 of a signal driver and fixed potential VS 1 by the side of low voltage to VD and GND in common by this example is based on the following reasons. That is, when fixed potential by the side of VD and low voltage is set to GND, as the logic power-source potential of a signal driver is shown in below-mentioned drawing 15,

it will become larger than the case where the power range of a signal driver is drawing 3. That a power range becomes large means that a signal driver must be manufactured in the process of high pressure-proofing, and the situation of increasing of a chip area and a raise in cost arises. At this example, one was set up in VDB1 and such a situation is prevented by separating the fixed potential VS 1 by the side of low voltage with GND.

[0040] Now, the interface of the control signal between a control section 1 and the signal driver 2, signal data, and scan data poses a problem in this case. It is because the logical circuit in the signal driver 2 which is a sink side operates in [electrical-potential-difference] VS1-VD1 although a signal is sent in the electrical-potential-difference range of GND-VD from a control section 1. So, in this example, the potential transducer 6 as shown in drawing 1 was formed, and this problem is solved. In drawing 8 (A), an example of the configuration of this potential transducer 6 is shown, and the electrical-potential-difference wave form chart for explaining that actuation is shown in drawing 8 (B) at it. In the potential transducer 6, DC level transfer section 58 includes inverters 320, 322, and 324 and resistance 326 including the capacitor (capacitor) 12 of capacity coupling, and DC level transfer section 58. The dc component of an input signal A is

JP07-230073

- 14 -

cut in a capacitor 12. For example, considering the case where Signal A starts like drawing 8 (B), electrical-potential-difference difference $V_A = V_D - GND$ is transmitted to an inverter 320. Then, the output C of an inverter 320 falls, the output D of an inverter 324 starts and this output D returns to the input of an inverter 320 through resistance 326. The drive capacity of an inverter 324 is set up smaller than an inverter 320, and a latch circuit is constituted by inverters 320 and 324 and resistance 326. This is because only the alternating current component (electrical-potential-difference difference VA) of Signal A is told through a capacitor 12, so it is necessary to hold the electrical potential difference which added this VA to VS1. The signal B which carries out the amplitude by the above in [as shown in drawing 8 (B)] VS1-VD1 is acquired, and the signal E which buffered Signal B with the inverter 322 is acquired.

[0041] It is the point which VD1 is supplied from the electrical-potential-difference feed zone 5 to VD being supplied from a control section 1 and a fixed electrical potential difference always becoming a problem here, and is changed by adjustment of variable resistance 70. For example, in 1 / 240 duty drives which are generally used with the large-sized liquid crystal panel, electrical-potential-difference range B-2 shown in drawing 3 is set to about 25 V.

The range of the voltage adjustment in this case is about 3V. Therefore, when 3V grade change of the electrical potential difference is carried out by the voltage adjustment by variable resistance 70, the logic supply voltage VD1 of the signal driver 2 carries out $3V / 25V = 0.6V$ grade change. Then, between VD1 and VD, an about [0.6V] electrical-potential-difference difference arises. Thus, even if an electrical-potential-difference difference arises in VD1 and VD, a direct current does not flow between a control section 1 and the signal driver 2 by existence of a capacitor 12. moreover, the electrical potential difference of the control signal from a control section 1, signal data, and scan data -- the effect of the above-mentioned voltage adjustment -- VD1 -- 0.6 -- even if it becomes low about V, the electrical-potential-difference difference is lower than the threshold electrical potential difference (about 0.7V) of the MOS transistor which constitutes the inverter formed in the input terminal of the signal driver 2. Therefore, while fully being able to transmit a signal, in the inverter formed in an input terminal, the penetration current which flows from VD1 to VS1 is not generated, either.

[0042] As mentioned above, according to this example, when the range of the supply voltage given to a scan driver and a signal driver like two or more line

JP07-230073

- 15 -

coincidence selection drive technique differs, the optimal current supply technique can be offered. Moreover, even when the range of supply voltage differs in this way, it becomes possible to adjust the driver voltage given to a liquid crystal device to arbitration using the current supply section 5 of a simple configuration. [0043] 3. An example of the configuration of the scan driver 3 of this example which uses two or more line coincidence selection drive technique is shown in the explanatory view 9 of a scan driver. This scan driver 3 contains the shift register section 36, a combinational circuit (driving signal decision circuit) 37, the level-shifter section 38, and the electrical-potential-difference selector section 39. Based on FR from a control section 1, DOFF, tY, and a DYnm signal, this scan driver 3 chooses either of the supply voltage VC, V10, and V15 from the current supply section 5, and obtains the output 35 as shown in drawing 10 (A). Here, the shift register section 36 is the shift register of the 4-bit parallel connected type constituted by the d-type flip-flop (hereafter referred to as DFF), and has the function to transmit the data which became a group by 2 bits to 4 output coincidence. A combinational circuit 37 generates the control signal for obtaining the driver output 35 shown in drawing 10 (A) in response to the output of the shift register section 36, FR, and a DOFF signal. This control signal is told to

the electrical-potential-difference selector section 39 through the level-shifter section 38. And the electrical-potential-difference selector section 39 chooses one supply voltage from three supply voltage groups VC, V10, and V15 based on this control signal, and, thereby, a driver output 35 is generated. [0044] The high order bit DY12 of the scan data of 2 bit x2 line transmitted from the control section 1 is latched to DFF20 in falling of the data transfer clock tY, and the output of DFF20 is inputted into DFF of the shift register section of the next step which the 2-bit right does not illustrate. Similarly, the lower bit DY11 of scan data is latched to DFF21 in falling of the data transfer clock tY, and the output of DFF21 is inputted into DFF of the shift register section of the next step. Thus, with constituting, as shown in the timing chart of drawing 11 (A), the scan data DY of 2 bit x2 line can be transmitted to the shift register section (36Q1->36Q2->36Q3) of the next step one by one. The combinational circuit 37 contains EX-OR22, EXNOR23, an inverter 24, and NAND25 and NOR 26 and 27, a DOFF signal is inputted into NAND25 and FR signal is inputted into EX-NOR23.

[0045] The level shifters 28, 29, and 30 contained in the level-shifter section 38 have the function to change into V10-V15 the voltage level of the control signal

JP07-230073

- 16 -

inputted from a combinational circuit 37 from $VD \cdot V15$ (GND). In this case, since the electrical-potential-difference difference of $V10 \cdot V15$ differs from the electrical-potential-difference difference of $VD \cdot V15$ greatly (refer to drawing 3), the level shifter of a configuration as shown in drawing 12 (A) is adopted.

[0046] The electrical-potential-difference selector section 39 contains the N channel transistors 31 and 33 and the P channel transistors 32 and 34. And N channel transistor 31 is driven with the normal rotation output of a level shifter 29, and chooses $V15$ level, and the P channel transistor 32 is driven with the reversal output of a level shifter 30, and chooses $V10$ level. Moreover, N channel transistor 33 is driven with the normal rotation output of a level shifter 28, and chooses VC level, and the P channel transistor 34 is driven with the reversal output of a level shifter 28, and chooses VC level.

[0047] Now, in this example, as shown in drawing 10 (A), at the time of lower bit $DYn1=H$ and high-order-bit $DYn2=L$, $V10$ is chosen by $FR=L$ and $V15$ is chosen by $FR=H$. $V15$ is an electrical potential difference which is in $V10$ and a symmetrical location focusing on VC as shown in drawing 3. Moreover, at the time of $DYn1=L$ and $DYn2=H$, $V15$ is chosen by $FR=L$, and if it is $FR=H$, $V10$ is chosen. On the other hand, VC is chosen regardless of FR signal at the time of

$DYn1=L$, $DYn2=L$ and $DYn1=H$, and $DYn2=H$. In this example, the alternating current drive which made VC the main electrical potential difference as mentioned above is realized. Moreover, in this example, as shown in drawing 10 (A), a driver output 35 is compulsorily set to VC level regardless of [in $DOFF=L$] FR , $DYn1$, and $DYn2$ signal. This is because the output of NAND25 is compulsorily set to H when it comes to $DOFF=L$, the input of level shifters 28, 29, and 30 is respectively set to H , L , and L by this, transistors 33 and 34 are chosen and transistors 31 and 32 are unchoosing. Thereby, the De Dis play-off function of a liquid crystal display system is realized so that it may mention later.

[0048] 4. An example of the configuration of the signal driver 2 of this example which uses two or more line coincidence selection drive technique is shown in the explanatory view 13 of a signal driver. This signal driver 2 contains the shift register section 59, the data register section 60, the data latch section 61, a combinational circuit 62, the level-shifter section 63, and the electrical-potential-difference selector section 67. Based on FR from a control section 1, $DOFF$, LP , DX and ST , and tX signal, this signal driver 2 chooses either of the supply voltage VC , $V11$, and $V12$ from the current supply section 5, and obtains the output 57 as shown in drawing 10 (B). Here, the shift register

JP07-230073

- 17 -

section 59 consists of carrying out cascade connection of the DFF, and has the function to generate a sampling signal. The data register section 60 samples the signal data DX to DFF with the sampling signal generated in the shift register section 59. The data latch section 61 latches the data sampled by the data register section 60 based on LP signal. A combinational circuit 62 generates the control signal for obtaining the driver output 57 shown in drawing 10 (B) in response to the output of the data latch section 61, FR, and a DOFF signal. This control signal is told to the electrical-potential-difference selector section 67 through the level-shifter section 63. And the electrical-potential-difference selector section 67 chooses one supply voltage from the supply voltage groups VC, V11, and V12 based on this control signal, and, thereby, a driver output 57 is generated.

[0049] The level conversion of all the control signals and signal data which were transmitted from the control section 1 is carried out to VD1-VS1 by the capacity-coupling capacitor 12 and DC level transfer section 58 from VD-GND, and they are inputted in a signal driver. Sampling start signal ST is sampled by DFF40 in the standup of the data transfer clock tX, and the output of DFF40 is inputted into DFF of the next step. Thus, as shown in the timing chart of drawing 11 (B) with constituting, ST

signal is transmitted to DFF of the next step one by one. Q output of DFF40 is inputted into CK terminal of DFF 41 and 42 of the data latch section 60. And lower bit DX1 of signal data is sampled by DFF42 in the standup of Q output of DFF40, as shown in drawing 11 (B). High-order-bit DX2 is similarly sampled by DFF41 in the standup of Q output of DFF40. Then, as shown in drawing 11 (B), the output of DFF 41 and 42 is latched to DFF 43 and 44 in the standup of latch pulse signal LP from a control section 1. The combinational circuit 62 contains EX-NOR 45 and 47, EX-OR46, an inverter 48, and NAND49, NOR50 and OR51, a DOFF signal is inputted into NAND49 and FR signal is inputted into EX-NOR47.

[0050] The level shifters 64, 65, and 66 contained in the level-shifter section 63 have the function to change into V11-V12 the voltage level of the control signal inputted from a combinational circuit 62 from VD1-V12 (VS1). In this case, since the electrical-potential-difference difference of V11-V12 does not differ from the electrical-potential-difference difference of VD1-V12 so greatly (refer to drawing 3), the level shifter of a configuration as shown in drawing 12 R>2 (B) is adopted.

[0051] The electrical-potential-difference selector section 67 contains the N channel transistors 53 and 55 and the P channel transistors 54 and 56. And N

JP07-230073

- 18 -

channel transistor 53 is driven with the normal rotation output of a level shifter 65, and chooses V12 level, and the P channel transistor 54 is driven with the normal rotation output of a level shifter 66, and chooses V11 level. Moreover, N channel transistor 55 is driven with the normal rotation output of a level shifter 64, and chooses VC level, and the P channel transistor 56 is driven with the reversal output of a level shifter 64, and chooses VC level.

[0052] Now, in this example, as shown in drawing 10 (B), at the time of lower bit DX1=L and high-order bit DX2=L, V11 is chosen by FR=L and V12 is chosen by FR=H. V12 is an electrical potential difference which is in V11 and a symmetrical location focusing on VC as shown in drawing 3. Moreover, at the time of DX1=L and DX2=H, V12 is chosen by FR=J, and if it is FR=H, V11 is chosen. On the other hand, VC is chosen regardless of FR signal at the time of DX1=H, DX2=L and DX1=H, and DX2=H. In this example, the alternating current drive which made VC the main electrical potential difference as mentioned above is realized. Moreover, in this example, as shown in drawing 10 (B), a driver output 57 is compulsorily set to VC level regardless of [in DOFF=L] FR, DX1, and DX2 signal. This is because the output of NAND49 is compulsorily set to H when it comes to DOFF=L, the input of level shifters 64, 65, and 66 is respectively set

to H, L, and H by this, transistors 55 and 56 are chosen and transistors 53 and 54 are un-choosing. As mentioned above, in DOFF=L, the driver output 35 of the scan driver 3 is also compulsorily set to VC level. Therefore, to the case of DOFF=L, both the outputs 35 and 37 of the signal driver 2 and the scan driver 3 serve as VC level, and it becomes possible to set to "0" the electrical potential difference impressed to a liquid crystal device by this, consequently the De Dis play-off function of a liquid crystal display system can be realized.

[0053] In the conventional example using the electrical-potential-difference equalizing method shown in drawing 19, GND and V5 which are the supply voltage by the side of high potential (or VDDH and V10) could be made in agreement, and both the De Dis play-off functions have been realized by setting the output of a driver to GND (V5). On the other hand, as shown in drawing 3 R>3, when it is the power-source configuration from which the width of face of the electrical-potential-difference range B1 and B-2 differs, V12 and V15 which are the supply voltage by the side of high potential (or V11 and V10) cannot be made in agreement, and the conventional technique cannot be used. So, at this example, when it becomes DOFF=L, the De Dis play-off function is realized by making both the outputs of a driver into the main electrical potential

JP07-230073

- 19 -

difference VC. In this case, from the first, VC is supply voltage used for a liquid crystal drive, and does not need to generate supply voltage new for the De Dis play-off functional implementation.

[0054] Moreover, in this example, as shown in drawing 3, fixed potential by the side of the low voltage of a signal driver is set to V12 (VS1) instead of GND. This is realized by changing the level of a control signal and signal data into VD1-V12 (VS1) from VD-GND by the potential transducer 6 as mentioned above. And it can prevent that can also set substrate potential of the N channel transistor 53 to V12, and the substrate bias effectiveness (body effect) produces it to the N channel transistor 53 by this by setting fixed potential by the side of low voltage to V12. The property of this N channel transistor 53 that outputs V12 level by the threshold electrical potential difference of the N channel transistor 53 becoming high if the substrate bias effectiveness arises, and the property of the P channel transistor 54 which outputs V11 level will become less symmetrical. Then, it is made easy to prevent generating of this substrate bias and to design by making the property of transistors 53 and 54 into the symmetry at this example, by making fixed potential by the side of low voltage into V12 level. By this, it can fall with the standup of a driver output, a wave can be mostly made into the symmetry, and the

dc component which becomes harmful on a liquid crystal drive can be lessened. Moreover, in this example, since VC is driven with the transistors 55 and 56 used as T mold gate configuration, it can make on resistance small and can increase drive capacity.

[0055] An example of other configurations of a signal driver is shown in drawing 14. This signal driver is a RAM built-in signal driver. In a RAM built-in signal driver, since it is not necessary to transmit signal data when there is no display change, power consumption can be stopped low. This signal driver contains the chip enable control circuit 103, a timing circuit 104, the data input control circuit 105, an input register 106, the write-in register 107, the level-shifter section 108, a frame memory (built-in RAM) 109, the line address register 110, a combinational circuit (driving signal decision circuit) 111, a latch circuit 112, and the electrical-potential-difference selector section 113. At this signal driver, the circuit arranged at the low-battery amplitude right hand side 101 operates with supply voltage VD1-V12 (VS1). In this case, since signals, such as LP and FR, serve as level of the range of VD-GND, they are changed into the level of VD1-V12 by the potential transducer 58. Moreover, as for the signal inputted from the low-battery amplitude right hand side 101, a voltage level is changed by the level-shifter section 108 in order

JP07-230073

- 20 -

that the frame memory 109 arranged at the high-voltage amplitude right hand side 102, a combinational circuit 111, and a latch circuit 112 may operate by supply voltage VC-V12. Thus, it becomes possible to constitute a frame memory 109 from constituting by RAM of high REJITAIPU (high resistance-load mold), since a frame memory 109 can be operated with supply voltage with a larger electrical-potential-difference difference than the supply voltage of the low-battery actuation amplitude section 101. This becomes possible to make a chip area small sharply.

[0056] (The 2nd example) Next, the current supply technique concerning the 2nd example of this invention is explained. The example of the power-source configuration in the 2nd example is shown in drawing 15. All the fixed potentials by the side of the low voltage of a control section 1, the signal driver 2, and the scan driver 3 serve as GND, and it is common in drawing 15. In this case, since the signal driver 2 will operate by the power range of V15-V11, when shown in drawing 3, it cannot attain low-battery-ization of the signal driver 2 to like. However, in the case of drawing 15, the signal driver 2 operates on about 2/3 electrical potential difference of the supply voltage of the scan driver 3. For this reason, the semi-conductor process that a degree of integration is high can be used by low

pressure-proofing, and it becomes advantageous in cost from the scan driver 3. As for the main electrical potential difference VC 1 of the electrical-potential-difference range D1, and the main electrical potential difference VC 2 of the electrical-potential-difference range D2, also in drawing 15, it is equal. Therefore, both the DC Dis play-off functions are realized by making the output of the signal driver 2 and the scan driver 3 into VC (=VC1, VC2) level. Moreover, in order that the logical circuit in the signal driver 2 may operate by VD-GND in the case of drawing 15, the potential transducer 6 as shown in drawing 1 becomes unnecessary. Moreover, in the current supply section shown in drawing 2, the division terminal 68 and an operational amplifier 79 become unnecessary.

[0057] (The 3rd example) The example of the power-source configuration of the current supply technique concerning the 3rd example of this invention is shown in drawing 16. In the case of drawing 3, although the supply voltage of the signal driver 2 and the scan driver 3 was straight polarity at all, by drawing 16, V10 (GND) which is a power source by the side of high potential becomes fixed potential, and all supply voltage becomes with negative polarity. And in the potential transducer 6, level, such as a control signal, is changed into VD1 (V11)-VS1 from VD (GND)-VSS.

JP07-230073

- 21 -

Moreover, in the current supply section 5, a high potential side serves as GND potential, a low voltage side serves as VLCD, and variable resistance 70 is connected to VLCD by the side of low voltage. Moreover, the logic supply voltage VS 1 is formed in the electrical-potential-difference range E1 (it is good even if as common like drawing 15 as VSS).

[0058] In addition, when making VD into fixed potential (GND) as mentioned above and making supply voltage of the signal driver 2 and the scan driver 3 into negative polarity, a high potential side serves as fixed potential, therefore a driver will be constituted from a signal driver and a scan driver by the semiconductor device of P substrate.

[0059] (The 4th example) The example of the power-source configuration of the current supply technique concerning the 4th example of this invention is shown in drawing 17. In drawing 17, all the supply voltage of a signal driver and a scan driver serves as straight polarity like drawing 3. However, in order that it may be constituted by the semiconductor device of P substrate in order that a signal driver may make fixed potential the power source V11 (VD1) by the side of high potential, and a scan driver may make fixed potential the power source V15 (GND) by the side of low voltage, it will be constituted from the 4th example by the semiconductor device of N

substrate. Thus, this invention can be applied satisfactorily, even when the polarities of the substrate of the semiconductor device which constitutes a signal driver and a scan driver differ. Therefore, contrary to drawing 17, also when the semiconductor device of N substrate constitutes a signal driver and the semiconductor device of P substrate constitutes a scan driver, this invention can be applied.

[0060] (The 5th example) The example of the power-source configuration of the current supply technique concerning the 5th example of this invention is shown in drawing 18. Drawing 18 is the example of the power-source configuration in the case of driving four lines to coincidence. In two or more line coincidence selection drive technique, when the number of coincidence selections is made into h, the supply voltage of level is needed for a signal driver ($h+1$). In drawing 18, the supply voltage of 5 level of V11, V12, VC, V13, and V14 is needed for a four-line coincidence drive. Moreover, the supply voltage of 3 level of V10, VC, and V15 is needed for a scan driver. Thus, also when the numbers of Rhine chosen as coincidence differ, naturally this invention can be applied. And if the number of Rhine chosen as coincidence is increased, it can become possible to lessen the electrical-potential-difference difference of the supply voltage of a signal driver and a scan driver, a driver can be

JP07-230073

- 22 -

manufactured in the process of low pressure-proofing, and small areaization of a chip can be attained.

[0061] In addition, in three-line coincidence selection, the supply voltage of a signal driver is set to V11, V12, V13, and V14. Therefore, only in the case of the De Dis play-off, in this invention, supply voltage VC will be used in this case. Moreover, what is necessary is to increase the electrical-potential-difference number of partitions of the current supply section, and just to increase the number of the operational amplifier connected to a division terminal and this in this case, although needed supply voltage level also increases when the number of coincidence selection Rhinc increases.

[0062] In addition, this invention is not limited to the above-mentioned example, and deformation implementation various by within the limits of the summary of this invention is possible for it.

[0063] For example, although the above-mentioned example described the case where a liquid crystal drive was performed by two or more line coincidence selection drive technique, this invention is not limited to this drive technique, and when the liquid crystal driver voltages of a signal driver and a scan driver differ, it can be applied widely.

[0064] Moreover, although this example explained the case where a signal driver had a narrow power range and had a

power range with a large scan driver, this invention can be applied even when [this] reverse.

[0065] Moreover, the configuration of a supply voltage supply means (current supply section) is not restricted to what was explained by this example, either, but can adopt this and equal various configurations. For example, a means to adjust an electrical potential difference is not restricted to the variable resistance explained in the above-mentioned example.

[0066] Moreover, it can be set not only as the location of VD1 and VS1 which were explained by this example but as various locations also about the location of logic supply voltage. In this case, the locations of the division terminal which takes out such logic supply voltage will also differ.

[0067] Moreover, a potential conversion means is not restricted to the configuration explained by this example, either, and can adopt this and equal various configurations.

[0068]

[Effect of the Invention] As stated above, according to this invention, the adjustment means of a simple configuration can adjust each electrical-potential-difference value of a supply voltage group, and this leads to reduction of components mark, and improvement in dependability. And the voltage ratio of this invention ***** supply voltage can be kept exact also in

JP07-230073

- 23 -

this case. Thus, this invention serves as the optimal current supply technique for example, for two or more line coincidence selection drive technique.

[0069] Moreover, according to this invention, with a very simple configuration, the 1st and 2nd supply voltage group can be generated, and the 1st and 2nd main electrical potential difference can be made the same.

[0070] Moreover, according to this invention, the electrical potential difference value of the 1st and 2nd supply voltage group can be adjusted only by adjusting the value of the reference potential for liquid crystal driver voltage generation. Thereby, after assembling a system at works etc., the driver voltage to a liquid crystal device can be optimized, or contrast adjustment in a liquid crystal display can be performed. In addition, as the adjustment technique in this case, variable resistance is used or the technique using the voltage adjustment section which consists of operational amplifiers etc. can be considered, for example.

[0071] Moreover, according to this invention, since logic supply voltage is set up in the 1st power range, width of face of the supply voltage of one driver of operation can be narrowed. Thereby, the process of low pressure-proofing can be adopted as a manufacture process of one driver, and formation of small area of a chip and low cost-ization can be attained.

[0072] Moreover, according to this invention, since the fixed potential power source of one driver and the fixed potential power source of the driver of another side are separated, width of face of the supply voltage of one driver of operation can be narrowed. Thereby, the process of low pressure-proofing can be adopted as a manufacture process of one driver, and formation of small area of a chip and low cost-ization can be attained.

[0073] Moreover, according to this invention, it becomes possible to transmit a control signal etc. normally to one driver.

[0074] Moreover, according to this invention, conversion of potential level becomes easy by using a capacity-coupling capacitor.

[0075] Moreover, since according to this invention the De Dis play-off function is realized using the 1st and 2nd main electrical potential difference which always serves as the same value also when adjustment etc. carries out the electrical potential difference value of a supply voltage group, the need of newly because of implementation of this function generating an electrical potential difference is lost.

[0076]

[Translation done.]

JP07-230073

- 24 -

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole liquid crystal display system configuration concerning the 1st example.

[Drawing 2] It is an example of the configuration of the current supply section.

[Drawing 3] It is drawing showing the potential relation of the supply voltage group used in the 1st example.

[Drawing 4] [Drawing 4 (A) and (B)] are examples of the configuration of a P type operational amplifier and an N type operational amplifier.

[Drawing 5] They are other examples of the configuration of the current supply section.

[Drawing 6] They are other examples of the configuration of the current supply section.

[Drawing 7] It is drawing showing the potential relation of the supply voltage group at the time of setting main potential to GND.

[Drawing 8] [Drawing 8 (A)] is an example of the configuration of a potential transducer, and [Drawing 8 (B)] is an electrical-potential-difference wave form chart for explaining the actuation.

[Drawing 9] It is drawing showing an example of the configuration of a scan driver.

[Drawing 10] [Drawing 10 (A)] is drawing

showing the relation between the control signal and data signal in a scan driver, and a driver output, and is drawing showing the relation between a control signal and a data signal, and a driver output, [in / in [drawing 10 (B)] / a signal driver]

[Drawing 11] [Drawing 11 (A) and (B)] are the timing charts for explaining actuation of a scan driver and a signal driver.

[Drawing 12] [Drawing 12 (A) and (B)] are drawings showing an example of the configuration of a level shifter.

[Drawing 13] It is drawing showing an example of the configuration of a signal driver.

[Drawing 14] It is drawing showing other examples of the configuration of a signal driver.

[Drawing 15] It is drawing showing the potential relation of the supply voltage group in the 2nd example.

[Drawing 16] It is drawing showing the potential relation of the supply voltage group in the 3rd example.

[Drawing 17] It is drawing showing the potential relation of the supply voltage group in the 4th example.

[Drawing 18] It is drawing showing the potential relation of the supply voltage group in the 5th example.

[Drawing 19] It is drawing showing the potential relation of the supply voltage group at the time of using the conventional electrical-potential-difference equalizing

JP07-230073

- 25 -

method.

[Description of Notations]

1 Control Section

2 Signal Driver

3 Scan Driver

4 Liquid Crystal Panel

5 Current Supply Section

6 Potential Transducer

10 Output of Signal Driver

11 Output of Scan Driver

12 Capacitor (Capacitor)

20, 21, 40, 41 42, 43, 44 DFF

22 46 EX-OR

23, 45, 47 EX-NOR

24, 48, 52 Inverter

25 49 NAND

26, 27, 50, 51 NOR

28, 29, 30 Level shifter

31, 33, 53, 55 N channel transistor

32, 34, 54, 56 P channel transistor

35 57 Output terminal

36 59 Shift register section

37 62 Combinational circuit

38 Level Shifter Section

39 67 Electrical-potential-difference

selector section

58 DC Level Transfer Section

60 Data Register Section

61 Data Latch Section

70 Variable Resistance

71, 72, 73, 74, 75 Resistance

76 77 P type operational amplifier

78 79 PN change mold operational
amplifier

80 N Type Operational Amplifier

[Translation done.]

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-230073

(13) 公開日 平成7年(1995)8月29日

(51) Int.Cl.

G 0 2 F 1/133
G 0 9 G 3/38

説明記号

序内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数12 F D (全 16 頁)

(21) 出願番号

特願平5-333480

(22) 出願日

平成6年(1994)12月15日

(31) 優先権主張番号

特願平5-325170

(32) 優先日

平5(1993)12月22日

(33) 優先権主張国

日本 (JP)

(71) 出願人

000002369 セイコーホームズ株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者

伊藤 哲

長野県飯田市大和3丁目3番5号 セイコ

ーホームズ株式会社内

(74) 代理人

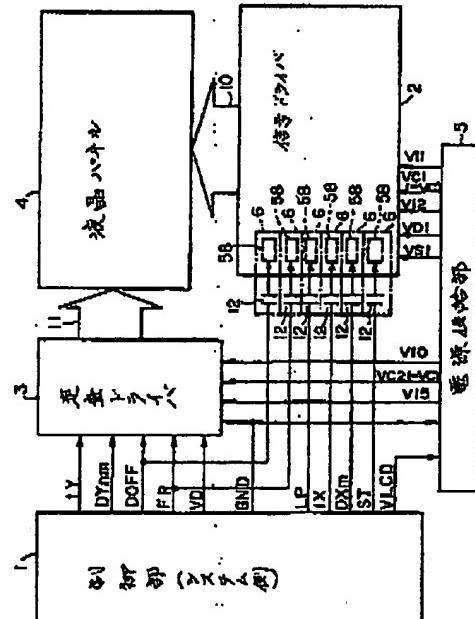
弁理士 井上 一 (外2名)

(54) 【発明の名稱】 液晶表示システム及び電源供給方法

(57) 【要約】

【目的】 歩查ドライバ、信号ドライバに与える電源電圧の範囲が異なる場合に最適な電源供給手法を提供すること

【構成】 電源供給部5は、信号ドライバ2に対して狭い電源電圧範囲を有する同極性の電源電圧群V11、VC1、V12を供給し、歩查ドライバ3に対して、広い電源電圧範囲を有する同極性の電源電圧群V10、VC2、V15を供給する。そして、中心電圧VC1、VC2は等しくなっている。電源供給部5は供給する電源電圧の値を調整する手段を有している。制御部1からの制御信号等は電位変換部6によりレベル変換される。ディスプレイオフを実現する場合には、信号ドライバ2、歩查ドライバ3の出力をVCレベルとする。以上より、液晶駆動電圧の調整を簡易な調整手段で、正確な電圧比を保ちながら実現できる。



(2)

特開平7-230073

2

【特許請求の範囲】

【請求項 1】 表示画面がマトリクス状に配置されるとともに複数の信号電極及び走査電極が交差して配置されるマトリクスパネルの前記信号電極に対して駆動電圧を印加する信号ドライバと、前記走査電極に対して駆動電圧を印加する走査ドライバと、前記信号ドライバと前記走査ドライバに対して電源電圧を供給する電源供給手段とを含む液晶表示システムであって、
前記電源供給手段が、

第1の電源電圧範囲を有する同極性の第1の電源電圧群を前記信号ドライバ又は前記走査ドライバの中の一方のドライバに対して供給する手段と、

前記第1の電源電圧範囲よりも広い第2の電源電圧範囲を有する同極性の第2の電源電圧群を前記一方とは異なる他方のドライバに対して供給する手段と、

前記第1の電源電圧範囲の中心電圧である第1の中心電圧と、前記第2の電源電圧範囲の中心電圧である第2の中心電圧とを同一にする手段とを含むことを特徴とする液晶表示システム。

【請求項 2】 請求項1において、

前記電源供給手段が、固定電位と液晶駆動電圧生成用の基準電位との間を分割し分割端子に分割電圧を生成することで前記第1、第2の電源電圧群を生成する手段と、1の前記分割端子に生成される分割電圧に基づき前記第1、第2の中心電圧を生成することで前記第1、第2の中心電圧を同一にする手段とを含むことを特徴とする液晶表示システム。

【請求項 3】 請求項2において、

前記液晶駆動電圧生成用の基準電位の値を調整することで前記分割電圧の値を調整し前記第1、第2の電源電圧群の電圧を調整する手段を含むことを特徴とする液晶表示システム。

【請求項 4】 請求項1乃至3のいずれかにおいて、前記電源供給手段が、前記第1の電源電圧範囲内の電圧を前記第1の電源電圧群が供給される前記一方のドライバのロジック電源電圧として供給する手段を含むことを特徴とする液晶表示システム。

【請求項 5】 請求項1乃至4のいずれかにおいて、前記第1の電源電圧群が供給される前記一方のドライバの低電位側又は高電位側の固定電位電源と、前記第2の電源電圧群が供給される前記他方のドライバの低電位側又は高電位側の固定電位電源とが分離されていることを特徴とする液晶表示システム。

【請求項 6】 請求項4又は5のいずれかにおいて、前記信号ドライバ及び前記走査ドライバに対して少なくとも制御信号を出力する手段を含み、

前記第1の電源電圧群が供給される前記一方のドライバに対して出力される制御信号の電位レベルを、前記第1の電源電圧範囲内のレベルに変換する電位変換手段を含むことを特徴とする液晶表示システム。

10 【請求項 9】 表示画面がマトリクス状に配置されるとともに複数の信号電極及び走査電極が交差して配置されるマトリクスパネルの前記信号電極に対して駆動電圧を印加する信号ドライバと、前記走査電極に対して駆動電圧を印加する走査ドライバと、前記信号ドライバと前記走査ドライバに対して電源電圧を供給する電源供給手段とを含む液晶表示システムに使用される電源供給方法であって、

第1の電源電圧範囲を有する同極性の第1の電源電圧群を前記信号ドライバ又は前記走査ドライバの中の一方の

20 ドライバに対して供給し、前記第1の電源電圧範囲よりも広い第2の電源電圧範囲を有する同極性の第2の電源電圧群を前記一方とは異なる他方のドライバに対して供給し、前記第1の電源電圧範囲の中心電圧である第1の中心電圧と、前記第2の電源電圧範囲の中心電圧である第2の中心電圧とを同一にすることを特徴とする電源供給方法。

【請求項 10】 請求項9において、

前記第1の電源電圧範囲内の電圧を前記第1の電源電圧群が供給される前記一方のドライバのロジック電源電圧として供給することを特徴とする電源供給方法。

30 【請求項 11】 請求項9又は10のいずれかにおいて、

前記第1の電源電圧群が供給される前記一方のドライバの低電位側又は高電位側の固定電位電源と、前記第2の電源電圧群が供給される前記他方のドライバの低電位側又は高電位側の固定電位電源とを分離することを特徴とする電源供給方法。

【請求項 12】 請求項9乃至11のいずれかにおいて、

40 所定の外部信号が入力された場合に、前記信号ドライバ及び前記走査ドライバから出力される前記駆動電圧を、前記第1、第2の中心電圧と同一電圧に設定することを特徴とする電源供給方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号ドライバ（信号電極駆動回路）と走査ドライバ（走査電極駆動回路）とを含む液晶表示システムにおける電源供給手法に関する。

【0002】

50 【従来の技術】 従来の液晶駆動技術の1つとして、電圧

(3)

特開平7-230073

3

平均化法による液晶駆動手法が知られている。この液晶駆動手法においては、走査電極を1ラインずつ順次選択して走査電圧を印加すると共に、選択された走査電極上の各画素がオンかオフかによりそれに応じた信号電圧を各信号電極に印加することにより液晶駆動を行う。

【0003】図19には、電圧平均化法を用いた場合の電源電圧の電位関係が示される。V0、V1、V2、V3、V4、V5は、電圧平均化法で用いられる液晶駆動用の電源電圧群であり、V0、V2、V3、V5は信号ドライバに供給され、V0、V1、V4、V5は走査ドライバに供給される。これらの電源電圧の電位の関係はV0≥V1≥V2≥V3≥V4≥V5となっている。GNDは、信号ドライバ、走査ドライバ、及び、これらの信号ドライバ、走査ドライバを制御する制御部（システム側）に共通のグランドである。また、VDはおよそ3～5Vのロジック電源電圧であり、このVDも信号ドライバ、走査ドライバ、制御部に共通のロジック電源電圧となっている。このため、制御部から出力される制御信号を、信号ドライバ、走査ドライバに直結することができる。図19では、液晶駆動電圧のうち最低電位であるV5とグランド電位GNDとを同電位にしており、また液晶駆動電圧のうち最高電位であるV0とVDDHとを同電位にしている。図19から、明らかに信号ドライバに与えられる電源電圧群V0、V2、V3、V5の電源電圧範囲A1と、走査ドライバに与えられる電源電圧群V0、V1、V4、V5の電源電圧範囲A2とは等しくなっていた。

【0004】また、電圧平均化法を用いた従来の液晶表示システムでは、ディスプレイオフまたは、LCDオフと呼ばれる機能が知られている。この機能は、液晶素子に印加される電圧を強制的に“0”にするものである。これにより、ドライバの出力電圧が不定となる電源投入後の一定期間に液晶に電圧が印加されないようにすることができる。また、液晶表示システムの電源をオン状態にしたままで液晶素子に印加される電圧を“0”にし、表示を消すと同時にパワーセーブを行うことが可能となる。電圧平均化法を用いた従来のドライバにおけるディスプレイオフ機能は、走査ドライバ、信号ドライバ、制御部（システム側）の共通電位であるV5（＝GND）を、信号ドライバと走査ドライバから同時にに出力し、液晶素子に印加される電圧を“0”にすることで実現していた。

【0005】

【発明が解決しようとする課題】ところで、近年、nラインを同時に選択駆動する複数ライン同時選択（Multiple Lines Selection）駆動手法が提案されている。複数ライン同時選択駆動手法については、特願平5-515531、特願平5-152533において木川頼人により説明されている。この手法によれば、従来より高速応答でありながらコントラストが高くチラツキの少ない液

4

晶表示システムを実現できる。そして、従来の1ラインずつ選択して駆動する手法である電圧平均化法と同じオン／オフ比を実現した上で、信号ドライバの駆動電圧を低く抑えることができる。これにより、信号ドライバを製造する半導体プロセスとしてより低耐圧の製造プロセスを採用することが可能となり、信号ドライバの集積度を高めチップを小面積化することが可能となる。これは、信号ドライバの高性能化、コストダウンにつながる。

- 10 【0006】しかしながら、この複数ライン同時選択駆動手法では、走査ドライバについて、従来と同等の高い駆動電圧が必要であり、信号ドライバと走査ドライバとで駆動電圧の範囲が異なる。このため、信号ドライバと走査ドライバに供給する電源電圧の範囲も異ならせる必要があり、従来の電源供給手法の考え方をそのままでは適用できないという問題がある。
- 20 【0007】また、液晶パネルを構成する液晶素子、ドライバ等を構成する半導体デバイスには、製造プロセスの変動等を原因とする特性のバラツキの問題がある。このため、液晶表示システムを工場において組み立てた後、信号電極、走査電極に印加される駆動電圧の値を最適にする調整作業が必要になる。また、液晶表示システムには、液晶表示のコントラスト調整が可能なものがあり、このコントラスト調整は信号電極、走査電極に印加される駆動電圧を調整することにより実現される。このように、液晶表示システムにおいては、駆動電圧の最適化、あるいはコントラスト調整を行うために、駆動電圧を調整する機能が必要となる。しかしながら、複数ライン同時選択駆動手法では、上記したように信号ドライバと走査ドライバに供給する電源電圧の範囲を異ならせる必要があり、従来の電圧平均化法の液晶表示システムで用いられた駆動電圧の調整手法をそのままでは適用できないという問題がある。

- 30 【0008】また、電圧平均化法を用いた従来の液晶ドライバでは、信号ドライと走査ドライバの出力を、共に低電位側（あるいは高電位側）の電源電圧V5（＝GND）レベルに設定することでのディスプレイオフ機能を実現していた。しかし、信号ドライバと走査ドライバの駆動電圧範囲が異なる場合には、低電位側の電源電圧は一致しないため、液晶にかかる電圧を“0”にすることはできず、ディスプレイオフ機能を実現できないという問題がある。

- 40 【0009】本発明は、以上述べたような課題を解決するためになされたものであり、その目的とするところは、走査ドライバ、信号ドライバに与える電源電圧の範囲が異なる場合に最適な電源供給手法を提供することにある。

- 50 【0010】また、本発明の他の目的は、走査ドライバ、信号ドライバに与える電源電圧の範囲が異なる場合にでも、液晶素子に与える駆動電圧を任意に調整できる

(4)

特開平7-230073

6

電源供給手段を提供することにある。

【0011】また、本発明の他の目的は、走査ドライバ、信号ドライバに与える電源電圧の範囲が異なる液晶表示システムにおいて、ディスプレイオフ機能を実現することにある。

【0012】

【課題を解決するための手段及び作用】上記課題を解決するために、本発明は、表示画面がマトリクス状に配置されるとともに複数の信号端極及び走査端極が交差して配置されるマトリクスパネルの前記信号端極に対して駆動電圧を印加する信号ドライバと、前記走査電極に対して駆動電圧を印加する走査ドライバと、前記信号ドライバと前記走査ドライバに対して電源電圧を供給する電源供給手段とを含む液晶表示システムであって、前記電源供給手段が、第1の電源電圧範囲を有する同極性の第1の電源電圧群を前記信号ドライバ又は前記走査ドライバの中の一方のドライバに対して供給する手段と、前記第1の電源電圧範囲よりも広い第2の電源電圧範囲を有する同極性の第2の電源電圧群を前記一方とは異なる他方のドライバに対して供給する手段と、前記第1の電源電圧範囲の中心電圧である第1の中心電圧と、前記第2の電源電圧範囲の中心電圧である第2の中心電圧とを同一にする手段とを含むことを特徴とする。

【0013】本発明によれば、信号ドライバ、走査ドライバの中の一方のドライバに対して電源電圧範囲が狭い同極性の第1の電源電圧群が与えられ、他方のドライバに対して電源電圧範囲が広い同極性の第2の電源電圧群が与えられる。そして、これらの電源電圧範囲の中心電圧が等しくなるように電源電圧が供給される。本発明によれば、電源電圧群は回極性になっているため、電源電圧群の各電圧値を簡易な構成の調整手段により調整できる。そして、電圧調整を行った場合において、電源電圧が中心電圧に対して正極性側、負極性側にあるかに問わらず、電源電圧の電圧比を正確に保つことが可能となる。

【0014】また、本発明は、前記電源供給手段が、固定電位と液晶駆動電圧生成用の基準電位との間を分割し分割端子に分割電圧を生成することで前記第1、第2の電源電圧群を生成する手段と、1の前記分割端子に生成される分割電圧に基づき前記第1、第2の中心電圧を生成することで前記第1、第2の中心電圧を同一にする手段とを含むことを特徴とする。

【0015】本発明によれば、抵抗、トランジスタ等を用いた簡易な構成の電圧分割手段を用いて、第1、第2の電源電圧群を生成できる。また、1の分割端子に生成される分割電圧に基づき第1、第2の中心電圧を生成するという簡易な構成で、第1、第2の中心電圧を同一にすることができます。

【0016】また、本発明は、前記液晶駆動電圧生成用の基準電位の値を調整することで前記分割電圧の値を調

整し前記第1、第2の電源電圧群の電圧値を調整する手段を含むことを特徴とする。

【0017】本発明によれば、液晶駆動電圧生成用の基準電位の値を調整するという簡易な手法で、正確な電圧分割比を保ちながら第1、第2の電源電圧群の電圧値を調整できる。

【0018】また、本発明は、前記電源供給手段が、前記第1の電源電圧範囲内の電圧を前記第1の電源電圧群が供給される前記一方のドライバのロジック電源電圧として供給する手段を含むことを特徴とする。

【0019】本発明によれば、電源電圧範囲の狭い第1の電源電圧群が供給される一方のドライバのロジック電源電圧が、第1の電源電圧範囲内に設定される。これにより、一方のドライバに内蔵されるロジック回路を動作させるために、一方のドライバの動作電源電圧幅を広くする必要が無くなり、一方のドライバの動作電源電圧の幅を狭くすることが可能となる。

【0020】また、本発明は、前記第1の電源電圧群が供給される前記一方のドライバの低電位側又は高電位側の固定電位電源と、前記第2の電源電圧群が供給される前記他方のドライバの低電位側又は高電位側の固定電位電源とが分離されていることを特徴とする。

【0021】本発明によれば、一方のドライバの固定電位電源と他方のドライバの固定電位電源とが分離される。これにより、狭い電源電圧群が与えられる一方のドライバの動作電源電圧幅を、他方のドライバの動作電源電圧幅に併せて広くする必要がなくなり、一方のドライバの動作電源電圧の幅を狭くすることが可能となる。

【0022】また、本発明は、前記信号ドライバ及び前記走査ドライバに対して少なくとも制御信号を出力する手段を含み、前記第1の電源電圧群が供給される前記一方のドライバに対して出力される制御信号の電位レベルを、前記第1の電源電圧範囲内のレベルに変換する電位変換手段を含むことを特徴とする。

【0023】本発明によれば、制御信号等は電位レベルが変換されて一方のドライバ内に入力される。これにより、狭い電源電圧範囲で動作する一方のドライバに対して正常に制御信号等を伝達することが可能となる。

【0024】また、本発明は、前記電位変換手段が、直流水分をカットするための容積結合キャパシタを含むことを特徴とする。

【0025】本発明によれば、容積結合キャパシタにより、制御信号の変化量のみを取り扱うことができ、電位レベルの変換が容易となる。

【0026】また、本発明は、所定の外部信号が入力された場合に、前記信号ドライバ及び前記走査ドライバから出力される前記駆動電圧を、前記第1、第2の中心電圧と同一電圧に設定する手段を含むことを特徴とする。

【0027】本発明によれば、ディスプレイオフ信号等の外部信号が入力された場合に、信号ドライバ及び走査

(6)

特開平7-230073

7

ドライバの出力電圧が同一電圧、即ち同一の中心電圧になる。これにより、液晶素子に印加される電圧を“0”にすることができ、例えば液晶表示におけるアイスブレイオフ機能等を実現することが可能となる。

【0028】

【実施例】以下、本発明の実施例について図面に基づいて説明する。

【0029】(第1の実施例)

1. 全体構成の説明

図1は、第1の実施例に係る液晶表示システムの全体構成を示すブロック図である。本実施例は制御部(システム側)1、信号ドライバ2、走査ドライバ3、液晶パネル4、電源供給部5、複数の電位変換部6を含む。ここで制御部1は、信号ドライバ2及び走査ドライバ3に対して制御信号、信号データ、走査データを山力するものである。信号ドライバ2は、制御部1からの制御信号及び信号データに基づき液晶パネル4の信号電極に対して駆動電圧V_Dを山力する。走査ドライバ3は、制御部1からの制御信号及び走査データに基づき液晶パネル4の走査電極に対して走査電圧V_Sを山力する。液晶パネル4は、複数の信号電極、これに反差する走査電極、交差領域に配置される液晶素子を有し、信号ドライバ2、走査ドライバ3の駆動により表示動作を行う。電源供給部5は、制御部1から供給される液晶駆動電圧生成の基準となる電圧V_{LCD}に基づき、信号ドライバ2及び走査ドライバ3に対して供給する電源電圧群を生成する。電位変換部6は、容量結合キャパシタ(コンデンサ)1

2、DCレベル伝達部5を含み、制御部1からの制御信号、信号データ、走査データの電位レベルを変換するものである。

【0030】制御部1から信号ドライバ2に対しては、液晶パネルのディスプレイオフを行うためのDOFF信号、液晶の交流駆動を行うためのFR信号、ラッチバスであるLP信号、データ転送クロックであるtX信号、2ビットのデータ信号であるDXm信号、サンプリングスタート信号であるST信号が山力される。この場合、本実施例では、制御部1のグランド電位GND、レジック電位VDは信号ドライバ2に供給されない。即ち、制御部1と信号ドライバ2とでは、最も低電位側にある基準電位(制御部1におけるGND、信号ドライバ2におけるVS1)及びロジック電位(制御部1におけるVD、信号ドライバ2におけるVD1)が共通化されていない。

【0031】制御部1から走査ドライバ3に対しては、DOFF信号、FR信号、データ転送クロックであるtY信号、2ビット×2ラインの走査データであるDYm信号が山力される。また、本実施例では、制御部1のグランド電位GND、レジック電位VDが走査ドライバ3に供給されている。即ち、制御部1と走査ドライバ3とでは、最も低電位側にある基準電位GND及びロジック

8

電位VDが共通化されている。

【0032】電源供給部5には、液晶駆動電圧の生成の基準となるV_{LCD}が入力される。そして、信号ドライバ2に対して、V11、VC1(-VC)、V12、VD1、VS1の電源電圧群を供給し、走査ドライバ3に対してV10、VC2(=VC)、V15の電源電圧群を供給している。

【0033】2. 電源供給部の説明

- 図2には、電源供給部5の構成の一例が示され、図3には、この電源供給部5から供給される電源電圧群V11、VC、V12、VD1、VS1、V10、VC、V15及び制御部1から供給される電源電圧群VD、GN_Dの電位の関係が示される。電源供給部5は、電源電圧調整のための可変抵抗R0と、直列接続された抵抗71、72、73、74、75により複数ライン同時選択駆動手法に必要な複数の電圧を生成する電圧分割部90と、電圧分割部90の分割端子に生成された電圧をインピーダンス変換するポルテージフォロア接続のオペアンプ76、77、78、79、80とを含む。ここで、V10(=VDDH)、V11にはP型オペアンプ76、77が接続され、VC、VD1にはPN切り替え型オペアンプ78、79が接続され、V12(=VS1)にはN型オペアンプ80が接続される。ここでP型オペアンプ76、77では、図4(A)に示すように、差動部206の出力210が、差動部200内のP型駆動トランジスタ204に入力される。一方、N型オペアンプ80では、図4(B)に示すように、差動部206の出力210は、差動部201内のN型駆動トランジスタ212に入力される。1フレーム内において液晶素子からオペアンプへと移動させる必要がある電荷量の極性が負となる電源電圧(負の負荷が支配的である電源電圧)については、P型オペアンプによりインピーダンス変換が行われる。また、1フレーム内において液晶素子からオペアンプへと移動させる必要がある電荷量の極性が正となる電源電圧(正の負荷が支配的である電源電圧)については、N型オペアンプによりインピーダンス変換が行われる。また、正負共に同等の負荷が支配的な電源電圧についてはPN切り替え型オペアンプによりインピーダンス変換が行われる。このようにインピーダンス変換を行いうオペアンプの種類を各電源電圧毎に異らせることにより、液晶表示の品質を低めることなく、オペアンプで消費される消費電力を低く抑えることができる。
- 【0034】さて、液晶素子、あるいは、信号ドライバ等を構成する半導体デバイスには、製造プロセスの変動等を原因とする特性のバラツキの問題がある。このため、液晶表示システムを工場等において組み立てた後、液晶素子に対する駆動電圧を最適にする調整作業が必要になる。また、液晶表示におけるコントラスト調整を実現するために駆動電圧を調整する必要もある。そこで、本実施例では、可変抵抗R0の抵抗値を調整することで

(6)

特開平7-230073

9

V10、V11等の電源電圧の値を調整し、これにより液晶表示に対する駆動電圧を調整している。可変抵抗70の抵抗値を調整する手法によると、電圧分割部90における分圧比を正確に保ちながら駆動電圧の調整を行うことができる。

【0035】また、例えば、可変抵抗70は、図5に示すように抵抗R1～R4、スイッチS1～S4を接続することで構成することもできる。このようにすれば、外部のCPU等により調整信号を制御しスイッチS1～S4をオン・オフすることで、可変抵抗70の抵抗値を調整できる。これにより、液晶表示のコントラスト調整も可能となる。また、例えば図6に示す構成の電圧調整部300を設け、この電圧調整部300により、液晶駆動電圧生成の基準となるVDDHの電圧を調整することで、電源電圧の調整を行うことも可能である。この電圧調整部300は、オペアンプ302、抵抗304、306、基準電圧源308、定電流源310、スイッチ部312を含む。この構成によると、抵抗R10、R11、基準電圧Vrefにより電圧調整のセンタービルが決められ、スイッチ部312、定電流源310を用いて抵抗306に対して定電流を流し込むことで、上記センタービルを中心とした電圧調整が可能となる。

【0036】なお、抵抗71～75等は、ドレイン領域とゲート極性とをショートしたトランジスタを用いて構成することもできる。

【0037】次に、電源電圧の並位関係について図3を用いて説明する。本実施例では、複数ラインを同時に選択する駆動手法を採用しているため、信号ドライバに必要とされる電源電圧範囲B1を狭くすることができる。このため、図3に示すように、信号ドライバの電源電圧範囲B1は、走査ドライバの電源電圧範囲B2よりも狭くなっている。また、本実施例では、電圧範囲B1の中 心電圧VC1=(V11+V12)/2と、電圧範囲B2の中心電圧VC2=(V10+V15)/2とが等しくなるように電源供給を行っている。これは、図2に示すように、1つの分割端子69に生成される分割電圧に基づいて中心電圧VC=VC1=VC2を生成することで実現される。更に、本実施例では、制御部1と走査ドライバ3とで、ロジック電源電圧VD及び低電位側の固定電位GNDが共通となっている。その一方で、信号ドライバ2のロジック電源電圧はVD1、低電位側の固定電位はVS1(-V12)となっており、制御部1のVD、GNDと共通になっていない。即ち、本実施例では、信号ドライバのロジック電源電圧VD1を、VDとは別に電源電圧範囲B1内に設定する。これは、具体的には、図2の電圧分割部90の例えば分割端子68に生成される分割電圧に基づいてVD1を生成することで実現される。

【0038】本実施例で、図3に示すような電源構成としたのは以下の理由による。まず、中心電圧VC1～V

10

C2としたのは、V11を出力するPMOSトランジスタの特性とV12を出力するNMOSトランジスタの特性を対称にし設計を行い易くするためである。また、ドライバ出力の立ち上がり波形と立ち下り波形とをほぼ対称にし、液晶駆動上有害となる直流成分を少なくするためである。VC1=VC2とする場合に、電源電圧の並位を例えば図7に示すような関係にすることもできる。この場合には、VC1=VC2=GNDとなり、V11とV12の極性、V10とV15の極性が異なるものになる。しかし、図7に示す電源構成とすると、電源電圧群を生成するのに図2(あるいは図5、図6)に示すような簡易な構成の電源供給部を採用できない。また、図3の電源構成では、可変抵抗70の抵抗値を調整するという簡単な手法で、分圧比を正確に保ちながら電源電圧を調整できたが、図7の電源構成では、このような簡単な手法で電源電圧を調整できない。これは、図3では、信号ドライバ2、走査ドライバ3に供給される電源電圧群が全て同極性になっているからである。即ち、高電位側の電源電圧群が全て同極性になっていると、図2に示すように高電位側の基準電位VLCDと低電位側の固定電位GNDとを電圧分割するだけで、電源電圧群V10、V11等を得ることができる。また、可変抵抗70を調整するだけで、これらのV10、V11等のレベルを分圧比を正確に保ったままで調整できる。しかし、図7では、正極性の電源電圧と負極性の電源電圧とを別に生成しなければならないので、図2のVLCDに相当する基準電位として正極性のものと負極性のものとが別に必要になる。また、電圧調整も、正極性側用の可変抵抗と、負極性側の可変抵抗とを別々に設け、正極性側と負極性側とで別に電圧調整を行わなければならない。しかし、可変抵抗や、電圧分割のための抵抗は、製造プロセスの変動等により特性がばらつく場合があり、このバランスにより正極性側の分圧比と、負極性側の分圧比とが同一に保たれない事態が生じる。これは、液晶の表示品質の劣化につながる。本実施例では、全ての電源電圧群が同極性となっているため、このような事態は生じにくい。

【0039】また、本実施例で、信号ドライバのロジック電源電位VD1、低電位側の固定電位VS1を、VD、GNDと共にしなかったのは以下の理由による。

即ち、信号ドライバのロジック電源電位をVD、低電位側の固定電位をGNDとすると、後述の図15に示すように、信号ドライバの電源電圧範囲が図3の場合よりも広くなってしまう。電源電圧範囲が広くなるということは、信号ドライバをより高耐圧のプロセスで製造しなければならないことを意味し、チップ面積の増大化、高コスト化という事態が生じる。本実施例では、VD1をB1内に設定し、低電位側の固定電位VS1をGNDと分離することで、このような事態を防止している。

【0040】さて、この場合、制御部1と信号ドライバ2との間の制御信号、信号データ、走査データのインダ

(7)

特開平7-230073

11

ベースが問題となる。制御部1からはGND～VDの電圧範囲で信号が送られてくるのに、受け手側である信号ドライバ2内のロジック回路は、VS1～VD1の電圧範囲で動作するからである。そこで、本実施例では、図1に示すような電位変換部6を設けて、この問題を解決している。図8(A)には、この電位変換部6の構成の一例が示され、図8(B)には、その動作を説明するための電圧波形図が示される。電位変換部6は、容量結合のキャパシタ(コンデンサ)12、DCレベル伝達部58を含み、DCレベル伝達部58はインバータ320、322、324、抵抗326を含む。キャパシタ12では、入力信号Aの直流成分がカットされる。例えば、図8(B)のように信号Aが立ち上がった場合を考えると、電圧差VA=VD-GNDがインバータ320に伝達される。するとインバータ320の出力Cは立ち下がり、インバータ324の出力Dは立ち上がり、この出力Dが抵抗326を介してインバータ320の入力に帰還される。インバータ324の駆動能力はインバータ320よりも小さく設定されており、インバータ320、324、抵抗326によりラッチ回路が構成される。これは、キャパシタ12を介しては信号Aの交流成分(電圧差VA)しか伝えられないため、VS1にこのVAを加えた電圧を保持しておく必要があるからである。以上により、図8(B)に示すようなVS1～VD1の範囲で振幅する信号Bが得られ、信号Bをインバータ322でバックアーリングした信号Eが得られる。

【0041】ここで問題になるのは、VD1は、制御部1から供給され常に一定電圧であるのに対し、VD1は電圧供給部5から供給され可変抵抗70の調整により変動する点である。例えば、大型液晶パネルで一般的に使われている1/240デューディ駆動では、図3に示す電圧範囲B2はおよそ25Vとなる。この場合の電圧調整の範囲は3V程度である。従って、可変抵抗70による電圧調整により、電圧を3V程度変化させた場合には、信号ドライバ2のロジック電源電圧VD1は、3V/2.5V-0.6V程度変化する。すると、VD1とVDとの間には0.6V程度の電圧差が生じる。このようにVD1とVDに電圧差が生じても、コンデンサ12の存在により、制御部1と信号ドライバ2との間に直流通路が流れることはない。また、制御部1からの制御信号、信号データ、走査データの電圧が、上記電圧調整の影響でVD1よりも0.6V程度低くなってしまい、その電圧差は信号ドライバ2の入力端子に設けられるインバータ等を構成するMOSトランジスタのしきい値電圧(0.7V程度)よりも低い。従って、信号を十分に伝達することができると共に、入力端子に設けられるインバータ等において、VD1からVS1に流れる貫通電流も発生しない。

【0042】以上のように本実施例によれば、複数ライン同時選択駆動手法のように走査ドライバ、信号ドライ

12

べに与える電源電圧の範囲が異なる場合において、最適な電源供給手法を提供できる。また、このように電源電圧の範囲が異なる場合にでも、簡単な構成の電源供給部5を用いて、液晶素子に与える駆動電圧を任意に調整することが可能となる。

【0043】3. 走査ドライバの説明

図9には複数ライン同時選択駆動手法を用いる本実施例の走査ドライバ3の構成の一例が示される。この走査ドライバ3は、シフトレジスタ部36、組み合わせ回路

- 10 (駆動信号決定回路)37、レベルシフタ部38、電圧セレクタ部39を含む。この走査ドライバ3は、制御部1からのFR、DOFF、DYn,m信号に基づいて、電源供給部5からの電源電圧VC、V10、V15のいずれかを選択し、図10(A)に示すような出力35を得るものである。ここで、シフトレジスタ部36は、Dタイプフリップフロップ(以下、DFFと呼ぶ)により構成される4ビットの並列型のシフトレジスタであり、2ビットで組になったデータを4出力同時に転送する機能をもつ。組み合わせ回路37は、シフトレジスタ部36の出力とFR、DOFF信号を受けて図10(A)に示されるドライバ出力35を得るために制御信号を発生する。この制御信号は、レベルシフタ部38を介して電圧セレクタ部39に伝えられる。そして、電圧セレクタ部39は、この制御信号に基づいて3つの電源電圧群VC、V10、V15の中から1つの電源電圧を選択し、これによりドライバ出力35が生成される。

【0044】制御部1より転送された2ビット×2ラインの走査データの上位ビットDY12は、データ転送クロックDYの立ち下がりでDF20にラッピングされ、D

- 30 F20の出力は、2ビット右の図示しない次段のシフトレジスタ部のDFFに入力される。同様に走査データの下位ビットDY11は、データ転送クロックDYの立ち下がりでDF21にラッピングされ、DF21の出力は次段のシフトレジスタ部のDFFに入力される。このように構成することで、図11(A)のタイミング図に示すように、2ビット×2ラインの走査データDYを順次次段のシフトレジスタ部(36Q1→36Q2→36Q3)に転送することができる。組み合わせ回路37は、EX-OR22、EXNOR23、インバータ2

40 1、NAND25、NOR26、27を含んでおり、DOFF信号はNAND25に、FR信号はEX-NOR23に入力される。

【0045】レベルシフタ部38に含まれるレベルシフタ28、29、30は、組み合わせ回路37から入力される制御信号の電圧レベルをVD～V15(GND)からV10～V15に変換する機能を有する。この場合、V10～V15の電圧差とVD～V15の電圧差は大きく異なるため(図3参照)、図12(A)に示すような構成のレベルシフタが採用される。

【0046】電圧セレクタ部39は、Nチャネルトラン

(8)

特開平7-230073

13

ジスタ 31、33、Pチャネルトランジスタ 32、34 を含む。そして、Nチャネルトランジスタ 31は、レベルシフタ 29の正転出力により駆動されV15 レベルを選択し、Pチャネルトランジスタ 32は、レベルシフタ 30の反転/HI力により駆動されV10 レベルを選択する。また、Nチャネルトランジスタ 33は、レベルシフタ 28の正転出力により駆動されVC レベルを選択し、Pチャネルトランジスタ 34は、レベルシフタ 28の反転出力により駆動されVC レベルを選択する。

【0047】さて、本実施例では、図10 (A) に示すように、下位ビットDYn1=H、上位ビットDYn2=Lの時は、FR=LでV10が選択され、FR=HでV15が選択される。V15は、図3に示すようにVCを中心としてV10と対称の位置にある電圧である。また、DYn1=L、DYn2=Hの時は、FR=LでV15が選択され、FR=HならV10が選択される。一方、DYn1=L、DYn2=L及びDYn1=H、DYn2=Hの時は、FR信号に無関係にVCが選択される。本実施例では以上のようにしてVCを中心電圧とした交流駆動が実現される。また、本実施例では図10 (A) に示すように、DOFF=Lの場合には、FR、DYn1、DYn2信号に無関係に、ドライブ出力35は強制的にVC レベルになる。これは、DOFF=LとなるとNAND25の出力が強制的にHとなり、これによりレベルシフタ 28、29、30の入力が各々H、L、Lとなり、トランジスタ 33、34が選択され、トランジスタ 31、32が非選択となるからである。これにより、後述するように、液晶表示システムのディスプレイオフ機能が実現される。

【0048】4. 信号ドライバの説明

図13には複数ライン同時選択駆動手法を用いる本実施例の信号ドライバ2の構成の一例が示される。この信号ドライバ2は、シフトレジスタ部59、データレジスタ部60、データラッチ部61、組み合わせ回路62、レベルシフタ部63、電圧セレクタ部67を含む。この信号ドライバ2は、制御部1からのFR、DOFF、LP、DX、ST、tX信号に基づいて、電圧供給部5からの電圧VC、V11、V12のいずれかを選択し、図10 (B) に示すような出力57を得るものである。ここで、シフトレジスタ部59は、DFDをカスケード接続することで構成され、サンプリング信号を発生する機能を有する。データレジスタ部60は、シフトレジスタ部59で発生したサンプリング信号により信号データDXをヒドリにサンプリングする。データラッチ部61は、データレジスタ部60にサンプリングされたデータをLP信号に基づいてラッヂする。組み合わせ回路62は、データラッチ部61の出力とFR、DOFD信号を受けて図10 (B) に示されるドライバ出力57を得るための制御信号を発生する。この制御信号は、レベルシフタ部63を介して電圧セレクタ部67に伝えられ

14

る。そして、電圧セレクタ部67は、この制御信号に基づいて電源電圧群VC、V11、V12の中から1つの電源電圧を選択し、これによりドライバ出力57が生成される。

【0049】制御部1より転送された全ての制御信号及び信号データは、容積結合コンデンサ12、DCレベル伝送部58によりVD~GNDからVD1~VS1にレベル変換されて信号ドライバ内に入力される。サンプリングスタート信号STは、データ転送クロックtXの立ち上がりでDFF40にサンプリングされ、DFF40の出力は次段のDFFに入力される。このように構成することで、図11 (B) のタイミング図に示すように、ST信号は順次次のDFFに転送される。DFF40のQ出力はデータラッチ部60のDFF41、42のCK端子に入力される。そして、信号データの下位ビットDX1は、図11 (B) に示すように、DFF40のQ出力の立ち上がりでDFF42にサンプリングされる。同様に上位ビットDX2は、DFF40のQ出力の立ち上がりでDFF41にサンプリングされる。その後、図20 11 (B) に示すように、制御部1からのラッチパルス信号LPの立ち上がりで、DFF41、42の出力はDFF43、44にラッヂされる。組み合わせ回路62は、EX-NOR45、47、EX-OR46、インパータ48、NAND49、NOR50、OR51を含んでおり、DOFF信号はNAND49に、FR信号はEX-NOR47に人力される。

【0050】レベルシフタ部63に含まれるレベルシフタ64、65、66は、組み合わせ回路62から人力される制御信号の電圧レベルをVD1~V12 (VS1) からV11~V12に変換する機能を有する。この場合、V11~V12の電圧差とVD1~V12の電圧差は、それほど大きく異なるため(図3参照)、図12 (B) に示すような構成のレベルシフタが採用される。

【0051】電圧セレクタ部67は、Nチャネルトランジスタ53、55、Pチャネルトランジスタ54、56を含む。そして、Nチャネルトランジスタ53は、レベルシフタ65の正転出力により駆動されV12 レベルを選択し、Pチャネルトランジスタ54は、レベルシフタ66の反転/HI力により駆動されVC レベルを選択する。また、Nチャネルトランジスタ55は、レベルシフタ64の正転出力により駆動されVC レベルを選択し、Pチャネルトランジスタ56は、レベルシフタ64の反転/HI力により駆動されVC レベルを選択する。

【0052】さて、本実施例では、図10 (B) に示すように、下位ビットDX1=L、上位ビットDX2=Lの時は、FR=LでV11が選択され、FR=HでV12が選択される。V12は、図3に示すようにVCを中心としてV11と対称の位置にある電圧である。また、DX1=L、DX2=Hの時は、FR=LでV12が選

(9)

特開平7-230073

15

択され、 $F_R = H$ なら V_{11} が選択される。一方、 $D_X 1 = H$ 、 $D_X 2 = L$ 及び $D_X 1 = H$ 、 $D_X 2 = H$ の時は、 F_R 信号に無関係に VC が選択される。本実施例では以上のようにして VC を中心電圧とした交流駆動が実現される。また、本実施例では図10(B)に示すように、 $DOFF = L$ の場合には、 F_R 、 $D_X 1$ 、 $D_X 2$ 信号に無関係に、ドライバ出力57は強制的に VC レベルになる。これは、 $DOFF = L$ となると $NAND 19$ の出力が強制的に H となり、これによりレベルシフタ64、65、66の入力が各々 I_1 、 L 、 H となり、トランジスタ55、56が選択され、トランジスタ53、54が非選択となるからである。前述のように、 $DOFF = L$ の場合には、走査ドライバ3のドライバ出力35も強制的に VC レベルになる。従って、 $DOFF = L$ の場合には、信号ドライバ2、走査ドライバ3の出力35、37は共に VC レベルとなり、これにより液晶素子に印加される電圧を“0”とすることが可能となり、この結果、液晶表示システムのディスプレイオフ機能を実現できることになる。

【0053】図19に示す電圧平均化法を用いた従来例においては、高電位側の電源電圧であるGNDと V_S (あるいは $VDDH$ と $V10$)とを一致させることができ、ディスプレイオフ機能はドライバの出力を共にGND($V5$)にすることで実現できた。これに対して、図3に示すように電圧範囲B1とB2の幅が異なる電源構成の場合には、高電位側の電源電圧である $V12$ と $V15$ (あるいは $V11$ と $V10$)とを一致させることができず、従来の手法を用いることができない。そこで、本実施例では、 $DOFF = L$ となった時に、ドライバの出力を共に中心電圧 VC とすることでディスプレイオフ機能を実現している。この場合、 VC は、元々、液晶駆動に用いる電源電圧であり、ディスプレイオフ機能実現のために新たな電源電圧を生成する必要がない。

【0054】また、本実施例では、図3に示すように信号ドライバの低電位側の固定電位をGNDではなく、 $V12$ ($VS1$)にしている。これは、前述のように電位変換部6に上り制御信号、信号データのレベルを $VD \sim GND$ から $VD1 \sim V12$ ($VS1$)に変換することによって実現される。そして、低電位側の固定電位を $V12$ とすることで、例えば、Nチャネルトランジスタ53の基板電位も $V12$ にすることができ、これによりNチャネルトランジスタ53に基板バイアス効果(ボディエフェクト)が生じるのを防止できる。基板バイアス効果が生じるとNチャネルトランジスタ53のしきい値電圧が高くなってしまい、 $V12$ レベルを出力するこのNチャネルトランジスタ53の特性と、 $V11$ レベルを出力するPチャネルトランジスタ54の特性が対称でなくなってしまう。そこで、本実施例では、低電位側の固定電位を $V12$ レベルとすることで、この基板バイアスの発生を防止し、トランジスタ53、54の特性を対称とし、設計

16

を行い易くしている。これにより、ドライバ出力の立ち上がりと立ち下がり波形をほぼ対称にし、液晶駆動上有害となる直流成分を少なくすることができる。また、本実施例では、 VC は、T型ゲート構成となったトランジスタ55、56により駆動されるため、オン抵抗を小さくすることができ、駆動能力を増すことができる。

- 【0055】図14には、信号ドライバの他の構成の一例が示される。この信号ドライバはRAM内蔵型の信号ドライバである。RAM内蔵型の信号ドライバでは、表示変化がない場合に信号データを転送する必要がないため、消費電力を低く抑えることができる。この信号ドライバは、チップイン一ブルコントロール回路103、タイミング回路104、データ入力制御回路105、人力レジスタ106、書き込みレジスタ107、レベルシフタ部108、フレームメモリ(内蔵RAM)109、行アドレスレジスタ110、組み合わせ回路(駆動信号決定回路)111、ラッチ回路112、電圧セレクタ部113を含む。この信号ドライバでは、低電圧振幅動作部101に配置される回路は電源電圧 $VD1 \sim V12$ ($VS1$)で動作する。この場合、 LP 、 FR 等の信号は、 $VD \sim GND$ の範囲のレベルとなるため、電位変換部58により $VD1 \sim V12$ のレベルに変換される。また、高電圧振幅動作部102に配置されるフレームメモリ109、組み合わせ回路111、ラッチ回路112は、電源電圧 $VC \sim V12$ で動作するため、低電圧振幅動作部101から入力される信号はレベルシフタ部108により電圧レベルが変換される。このように構成することで、フレームメモリ109を、低電圧動作振幅部101の電源電圧よりも電圧差の大きい電源電圧で動作させることができるため、フレームメモリ109をハイレジタイプ(高抵抗負荷型)のRAMにより構成することができる。これにより、チップ面積を大幅に小さくすることが可能となる。
- 【0056】(第2の実施例)次に、本発明の第2の実施例に係る電源供給手法について説明する。図15には、第2の実施例における電源構成の例が示される。図15では、制御部1、信号ドライバ2、走査ドライバ3の低電位側の固定電位が全てGNDとなり共通となっている。この場合、信号ドライバ2は $V15 \sim V11$ の電源電圧範囲で動作することになるため、図3に示す場合には信号ドライバ2の低電圧化を図れない。しかしながら、図15の場合においても、信号ドライバ2は走査ドライバ3の電源電圧の $2/3$ ほどの電圧で動作する。このため、走査ドライバ3よりも低耐圧で集積度の高い半導体プロセスが使用でき、コスト的に有利となる。図15の場合も、電圧範囲D1の中心電圧 $VC1$ と、電圧範囲D2の中心電圧 $VC2$ は等しくなっている。従って、ディスプレイオフ機能は、信号ドライバ2、走査ドライバ3の出力を共に VC (= $VC1$ 、 $VC2$)レベルとして実現される。また、図15の場

(10)

特開平7-230073

17

今は、信号ドライバ2内のロジック回路はVD～GNDで動作することになるため、図1に示したような電位変換部6は不要となる。また、図2に示す電源供給部において、分割端子68、オペアンプ79は不要となる。

【0057】(第3の実施例)図16には、本発明の第3の実施例に係る電源供給手法の電源構成の例が示される。図3の場合には、信号ドライバ2、走査ドライバ3の電源電圧は全て正極性であったが、図16では、高電位側の電源であるV10(GND)が固定電位となり、電源電圧は全て負極性となる。そして、電位変換部6では、制御信号等のレベルがVD(GND)～VSSからVD1(V11)～VS1に変換される。また、電源供給部5では、高電位側がGND電位となり、低電位側がVLCIDとなり、可変抵抗70は低電位側のVLCIDに接続される。また、ロジック電源電圧VS1は、電圧範囲E1内に設けられる(図15と同様にVSSと共にしてもよい)。

【0058】なお、以上のようにVDを固定電位(GND)とし、信号ドライバ2、走査ドライバ3の電源電圧を負極性とする場合には、信号ドライバ、走査ドライバでは高電位側が固定電位となり、従って、ドライバは、P基板の半導体デバイスにより構成されることになる。

【0059】(第4の実施例)図17には、本発明の第4の実施例に係る電源供給手法の電源構成の例が示される。図17では、図3と同様に、信号ドライバ、走査ドライバの電源電圧は全て正極性となる。但し、第4の実施例では、信号ドライバは、高電位側の電源V11(VD1)を固定電位とするため、P基板の半導体デバイスにより構成され、走査ドライバは、低電位側の電源V15(GND)を固定電位とするため、N基板の半導体デバイスにより構成されることになる。このように本発明は、信号ドライバ、走査ドライバを構成する半導体デバイスの基板の様性が異なる場合でも、問題なく適用できる。従って、図17とは逆に、信号ドライバをN基板の半導体デバイスにより、走査ドライバをP基板の半導体デバイスにより構成した場合にも本発明を適用することができる。

【0060】(第5の実施例)図18には、本発明の第5の実施例に係る電源供給手法の電源構成の例が示される。図18は、4ラインを同時に駆動する場合の電源構成の例である。複数ライン同時選択駆動手法においては、同時に選択数をh本とした場合に、信号ドライバには(h+1)レベルの電源電圧が必要となる。図18では、4ライン同時に駆動のためV11、V12、VC、V13、V14の5レベルの電源電圧が必要となる。また、走査ドライバには、V10、VC、V15の3レベルの電源電圧が必要となる。このように、同時に選択するライン数が異なる場合にも、本発明は当然に適用できる。そして、同時に選択するライン数を増やすと、信号

18

ドライバ、走査ドライバの電源電圧の電圧差を少なくすることが可能となり、より低耐圧のプロセスでドライバを製造でき、チップの小面積化を図れる。

【0061】なお、3ライン同時選択の場合には、信号ドライバの電源電圧は、V11、V12、V13、V14となる。従って、本発明ではこの場合には、ディスプレイオフの場合にのみ電源電圧VCを使用することになる。また、同時に選択ライン数が増えた場合には、必要となる電源電圧レベルも増えますが、この場合には、電源供給部の電圧分割数を増やし、分割端子及びこれに接続されるオペアンプの個数を増やすべし。

【0062】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の变形実施が可能である。

【0063】例えば、上記実施例では複数ライン同時選択駆動手法により液晶駆動を行う場合について述べたが、本発明は、この駆動手法に限定されるものではなく、信号ドライバと走査ドライバの液晶駆動電圧が異なる場合に広く適用できるものである。

【0064】また、本実施例では、信号ドライバが狭い電源電圧範囲を持ち、走査ドライバが広い電源電圧範囲を持つ場合について説明したが、この逆の場合でも本発明を適用することができる。

【0065】また、電源電圧供給手段(電源供給部)の構成も、本実施例で説明したものに限られず、これと均等な種々の構成を採用することができる。例えば、電圧を調整する手段は上記実施例で説明した可変抵抗等に限られるものではない。

【0066】また、ロジック電源電圧の位置についても、本実施例で説明したVD1、VS1の位置に限らず種々の位置に設定することができる。この場合には、これらのロジック電源電圧を取り出す分割端子の位置も異なることになる。

【0067】また、電位変換手段も本実施例で説明した構成に限られるものではなく、これと均等な種々の構成を採用できる。

【0068】

【発明の効果】以上述べたように本発明によれば、電源電圧群の各電圧値を簡易な構成の調整手段により調整でき、これは部品点数の削減、信頼性の向上につながる。そして、この場合においても、本発明によれば電源電圧の電圧比を正確に保つことができる。このように、本発明は、例えば複数ライン同時選択駆動手法に最適な電源供給手段となる。

【0069】また、本発明によれば、非常に簡易な構成で、第1、第2の電源電圧群を生成でき、第1、第2の中心電圧を同一にすることができます。

【0070】また、本発明によれば、液晶駆動電圧生成用の基準電位の値を調整するだけで第1、第2の電源電圧群の電圧値を調整できる。これにより、工場等において

(11)

特開平7-230073

19

てシステムを組み立てた後、液晶表示に対する駆動電圧を最適化したり、液晶表示におけるコントラスト調整を行ったりすることができる。なお、この場合の調整手法としては、例えば、可変抵抗を用いる、あるいは、オペアンプ等で構成される電圧調整部を用いる手法等が考えられる。

【0071】また、本発明によれば、ロジック電源電圧が第1の電源電圧範囲内に設定されるため、一方のドライバの動作電源電圧の幅を狭くできる。これにより、一方のドライバの製造プロセスとして、より低耐圧のプロセスを採用でき、チップの小面積化、低成本化を図ることができる。

【0072】また、本発明によれば、一方のドライバの固定電位電源と他方のドライバの固定電位電源とが分離されるため、一方のドライバの動作電源電圧の幅を狭くできる。これにより、一方のドライバの製造プロセスとして、より低耐圧のプロセスを採用でき、チップの小面積化、低成本化を図ることができる。

【0073】また、本発明によれば、一方のドライバに対して正常に制御信号等を伝達することができる。

【0074】また、本発明によれば、容量結合キャパシタを用いることで電位レベルの変換が容易となる。

【0075】また、本発明によれば、電源電圧群の裕度値を調整等した場合にも常に同一値となる第1、第2の中心電圧を利用してディスプレイオフ機能を実現しているため、この機能の実現のために新たに電圧を生成する必要性が無くなる。

【0076】

【図面の簡単な説明】

【図1】第1の実施例に係る液晶表示システムの全体構成を示すブロック図である。

【図2】電源供給部の構成の一例である。

【図3】第1の実施例で使用される電源電圧群の電位関係を示す図である。

【図4】図4(A)、(B)は、P型オペアンプ、N型オペアンプの構成の一例である。

【図5】電源供給部の構成の他の例である。

【図6】電源供給部の構成の他の例である。

【図7】中心電圧をGNDとした場合の電源電圧群の電位関係を示す図である。

【図8】図8(A)は、電位変換部の構成の一例であり、図8(B)は、その動作を説明するための電圧波形図である。

【図9】走査ドライバの構成の一例を示す図である。

【図10】図10(A)は走査ドライバにおける制御信号及びデータ信号とドライバ出力との関係を示す図であり、図10(B)は信号ドライバにおける制御信号及びデータ信号とドライバ出力との関係を示す図であり、

【図11】図11(A)、(B)は、走査ドライバ、信

20

号ドライバの動作を説明するためのタイミング図である。

【図12】図12(A)、(B)は、レベルシフタの構成の一例を示す図である。

【図13】信号ドライバの構成の一例を示す図である。

【図14】信号ドライバの構成の他の一例を示す図である。

【図15】第2の実施例における電源電圧群の電位関係を示す図である。

【図16】第3の実施例における電源電圧群の電位関係を示す図である。

【図17】第4の実施例における電源電圧群の電位関係を示す図である。

【図18】第5の実施例における電源電圧群の電位関係を示す図である。

【図19】従来の電圧平均化法を用いた場合の電源電圧群の電位関係を示す図である。

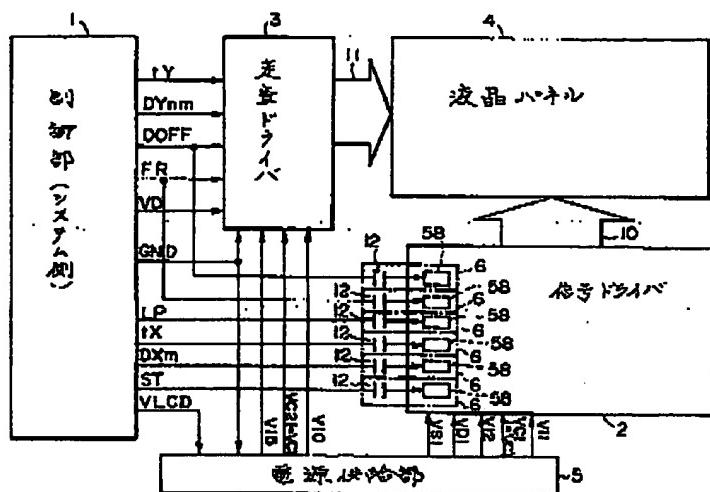
【符号の説明】

- | | |
|----------------------------|----------------------------|
| 1 | 制御部 |
| 20 | 信号ドライバ |
| 3 | 走査ドライバ |
| 4 | 液晶パネル |
| 5 | 電源供給部 |
| 6 | 電位変換部 |
| 10 | 信号ドライバの出力 |
| 11 | 走査ドライバの出力 |
| 12 | キャパシタ(コンデンサ) |
| 20, 21, 40, 41, 42, 43, 44 | DFF |
| 22, 46 | EX-OR |
| 30 | 23, 45, 47 EX-NOR |
| | 24, 48, 52 インバータ |
| | 25, 49 NAND |
| | 26, 27, 50, 51 NOR |
| | 28, 29, 30 レベルシフタ |
| | 31, 33, 53, 55 Nチャネルトランジスタ |
| | 32, 34, 54, 56 Pチャネルトランジスタ |
| | 35, 57 出力端子 |
| | 36, 59 シフトレジスタ部 |
| | 37, 62 組み合わせ回路 |
| 40 | 38 レベルシフタ部 |
| | 39, 67 電圧セレクタ部 |
| | 58 DCレベル伝達部 |
| | 60 データレジスタ部 |
| | 61 データラッピング |
| | 70 可変抵抗 |
| | 71, 72, 73, 74, 75 抵抗 |
| | 76, 77 P型オペアンプ |
| | 78, 79 PN切り替え型オペアンプ |
| | 80 N型オペアンプ |

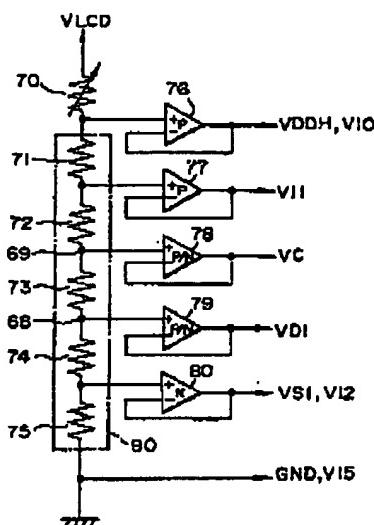
(12)

特閤半7-230073

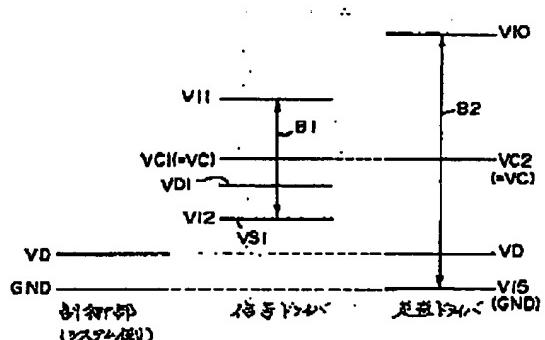
[图 1]



【图2】



[圖 3-1]



145

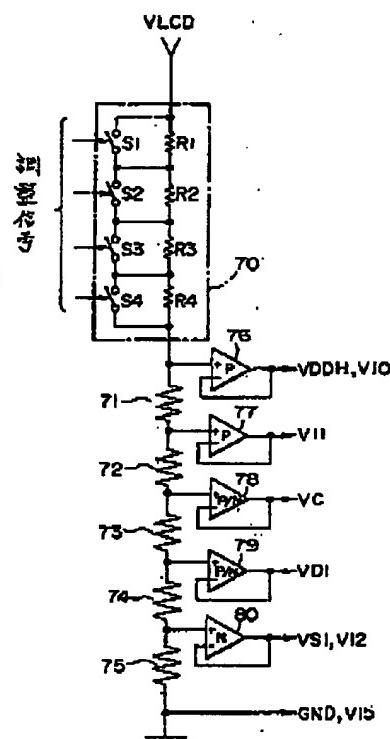
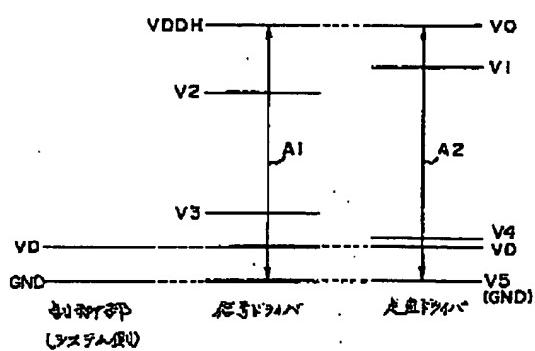


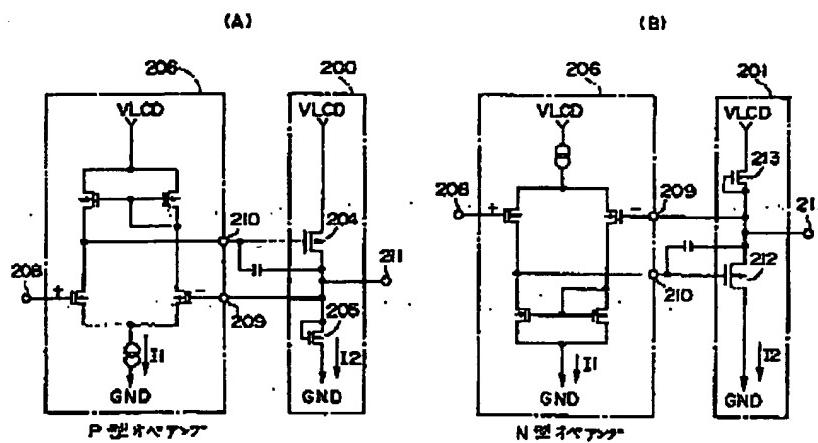
图 1.9.1



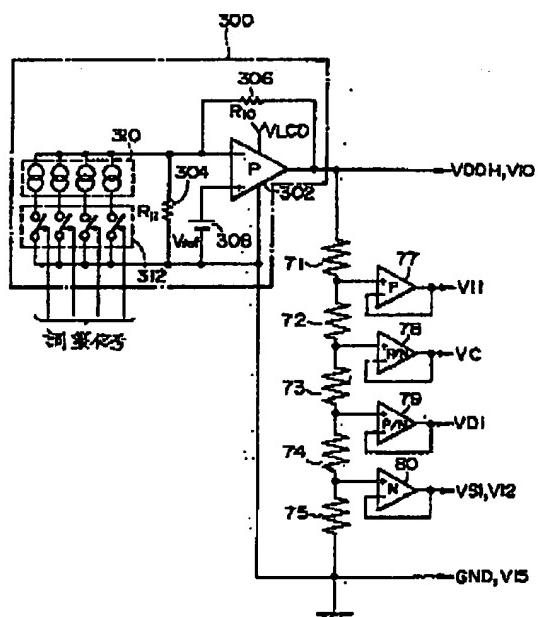
(13)

特開平7-230073

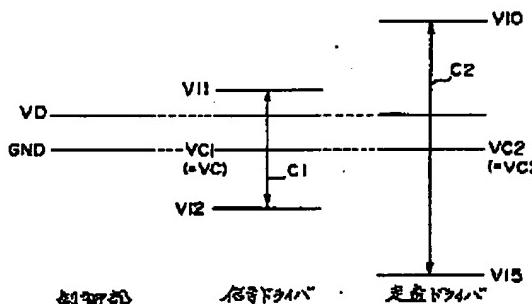
【図4】



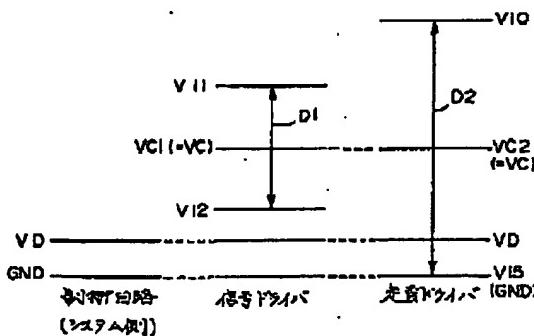
【図6】



【図7】



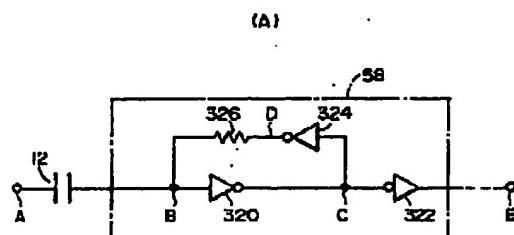
【図15】



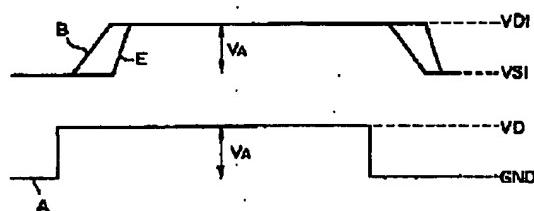
(14)

特開平7-230073

【図8】



(B)



【図10】

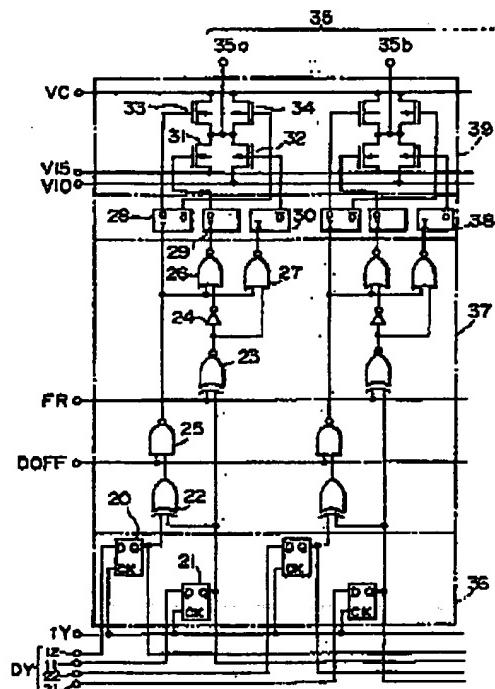
(A) 走査ドライバ

FR	DYn1	DYn2	DOFF	出力 35
L	L	L	H	VC
L	H	L	H	VIO
L	L	H	H	VIS
L	H	H	H	VC
H	L	L	H	VC
H	H	L	H	VIS
H	L	H	H	VIO
H	H	H	H	VC
*	*	*	L	VC

(B) 信号ドライバ

FR	DX1	DX2	DOFF	出力 57
L	L	L	H	VII
L	H	L	H	VC
L	L	H	H	VI2
L	H	H	H	VC
H	L	L	H	VI2
H	H	L	H	VC
H	L	H	H	VII
H	H	H	H	VC
*	*	*	L	VC

【図9】

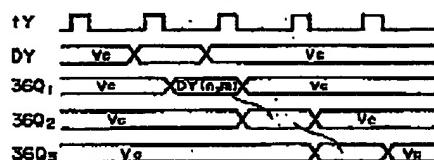


(15)

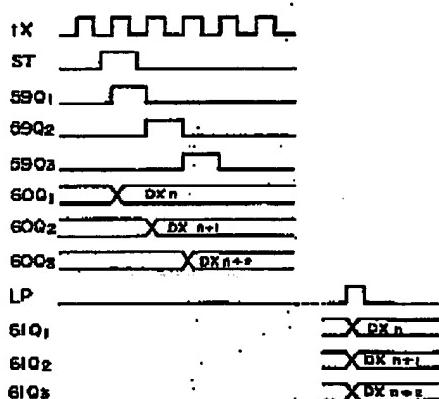
特開平7-230073

【図11】

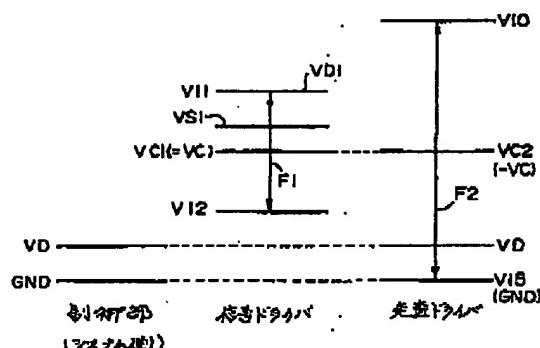
(A) 先送ドライバ



(B) 後送ドライバ

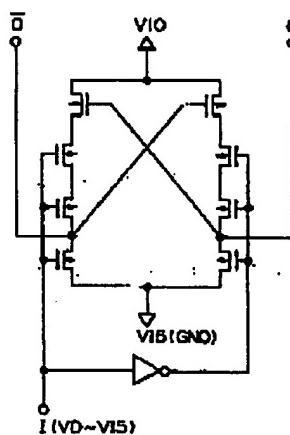


【図17】

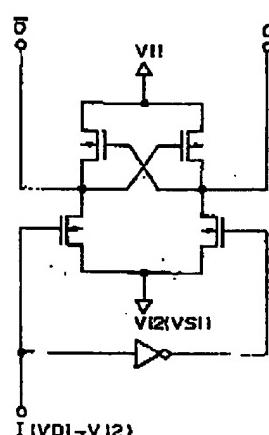


【図12】

(A)



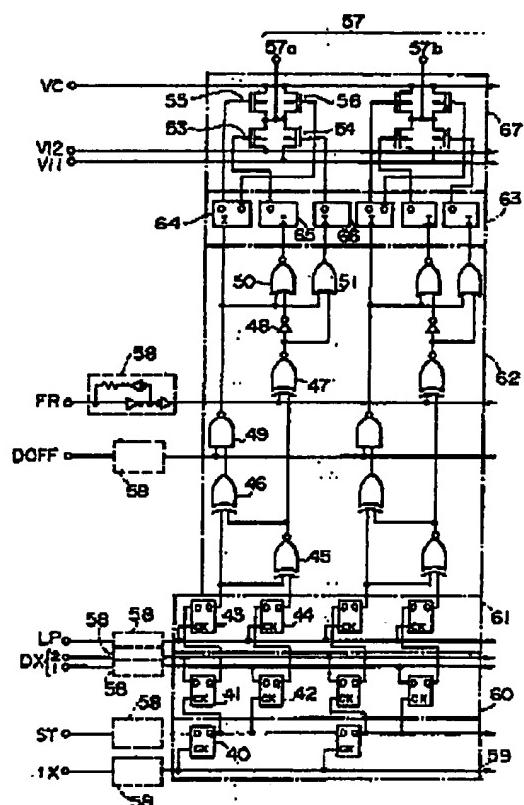
(B)



(16)

特開平7-230073

【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.